

"FAST PROTOTYPING" - DIGITAL MOTHERBOARD

Ontwerp en productie van een prototyping-board voor snellere productontwikkeling



Naam: Bastiaan van Weerd
Studentnummer: S1012921
School: Hogeschool Windesheim – School of Engineering & Design
Datum: Januari 2011

AP-nummer: E.10.01.10
Bedrijfsbegeleider: ir. W.M. Grim
Docentbegeleider 1: ir. J. Lodema
Docentbegeleider 2: ir. E. Snijder

Contactgegevens

Bedrijf

Naam: SRON Netherlands Institute for Space Research
Adres: Sorbonnelaan 2
3584 CA UTRECHT
Telefoon: +31 (0)88 777 5600

Document versiebeheer

Revisie	Omschrijving	Datum
0.0	Initialisatie	27-09-2010
0.1	Concept	15-11-2010
0.2	-	30-11-2010
0.3	-	01-12-2010
0.4	-	21-12-2010
1.0	-	03-01-2011

Afkortingen- en Woordenlijst

De afkortingen- en woordenlijst bevat woorden en afkortingen die gebruikt worden in dit verslag. In de digitale (PDF-) versie van dit document zijn de omschrijvingen van deze woorden en afkortingen aanklikbaar, en verwijzen naar een internetbron waar meer is te vinden over het woord of de afkorting. De houdbaarheid van deze links is niet gegarandeerd. Bij een ongeldige link kan met een zoekmachine naar voorkeur gezocht worden naar het woord of de afkorting voor uitgebreidere documentatie.

De lijst is op alfabetische volgorde gesorteerd.

Woord	Omschrijving
ADC	Analog to Digital Converter
ANSI	American National Standards Institute
AOI	Automated Optical Inspection
CAN	Controller-Area Network
DAC	Digital to Analog Converter
DRC	Design Rule Check
DSP	Digital Signal Processor
ED	Engineering Division
EEPROM	Electrically Erasable Programmable Read-Only Memory
EGSE	Electrical Ground Support Equipment
EPS	Earth and Planetary Science
EURECA	EUROpean-JapanEse Calorimeter Array
FCU	Filter wheel Control Unit
FKA	Russian Federal Space Agency
FPGA	Field-programmable gate array
HEA	High-Energy Astrophysics
IEEE 1149.1	JTAG standaard
IEEE 1355	Communicatiestandaard voor o.a. SpaceWire
IEEE 802.3	Ethernet standaard
IO	Input Output
IRAS	Infrared Astronomical Satellite
IXO	International X-ray Observatory
JAXA	Japan Aerospace Exploration Agency
JTAG	Joint Test Action Group
KID	Kinetic Inductance Detector
LEA	Low-Energy Astrophysics
LEON3	Synthesizable VHDL model of a 32-bit processor for SOC designs
LETG	Low Energy Transmission Grating
LUT	LookUp Table
LVDS	Low Voltage Differential Signaling
LVTTTL	Low Voltage Transistor-Transistor Logic

Afkortingen- en Woordenlijst (Vervolg)

Woord	Omschrijving
NASA	The National Aeronautics and Space Administration
ODELCO	Optical DELayline COntroller
PCB	Printed Circuit Board
PCI Express	Peripheral Component Interconnect Express
RAM	Random Access Memory
RGS	Reflection Grating Spectrometer
RS422	Serieel communicatieprotocol
RS485	Serieel communicatieprotocol
SCIAMACHY	SCanning Imaging Absorption spectroMeter for Atmospheric CHartography
SDRAM	Synchronous Dynamic Random Access Memory (SDRAM)
SerDes	Serializer Deserialiser
SFP	small form-factor pluggable (transceiver)
SOC	System-on-a-chip
SpaceWire	Spacecraft communication network
SR&T	Sensor Research & Development
SRON	Netherlands Institute for Space Research
TEI	Test Equipment Interface
TROPOMI	TROPOsferisch Monitoring Instrument
XMM-Newton	X-Ray Multi Mirror satellite

Voorwoord

Deze afstudeerdopdracht heeft plaatsgevonden bij SRON (Netherlands Institute for Space Research) te Utrecht, in het kader van de HBO-opleiding elektrotechniek van Hogeschool Windesheim Zwolle.

Dit verslag is geschreven voor eenieder die enigszins bekend is met elektronica, en in het bijzonder voor de medewerkers van SRON die in de toekomst met het "Fast Prototyping"-board zullen werken.

Het verslag kan gebruikt worden als naslagwerk voor het "Fast Prototyping"-board. Het verslag bevat uitleg en de onderbouwing van de keuzes die zijn gemaakt, en wat de basis zou moeten zijn voor het ontwikkelen van prototypes met behulp van dit board.

Samenvatting

Vanuit de wens om sneller en eenvoudiger prototypes te kunnen testen en ontwikkelen is een prototyping-board ontwikkeld voor SRON. Aan de ontwikkeling van het prototyping-board is een onderzoek naar de eisen en wensen van SRON vooraf gegaan, en is gekeken naar de mogelijkheden voor het eenvoudig kunnen aansluiten van prototype-boards. De ontwikkeling van het "Fast Prototyping"-board bestaat uit het tekenen van schema's, het ontwerpen van een layout en het maken van een testsequentie om het board te kunnen testen.

Op basis van de eisen en wensen van SRON is gekozen voor een Xilinx Virtex 5 FPGA als basis voor het board. Voor deze FPGA is gezocht naar aansluitende randapparatuur. Ook is onderzocht welke communicatiesystemen op het board dienen te worden aangebracht.

De eenvoudige aansluiting van prototype-boards is gevonden in de "FPGA Mezzanine Card"-standaard (FMC). Deze ANSI/VITA standaard biedt bijna alle mogelijkheden die worden gesteld in de eisen en wensen van SRON. Daarnaast is gekozen voor de mogelijkheid om het board toe te kunnen passen in een backplane-configuratie, zodat het met verschillende andere boards kan worden gebruikt. Tevens zijn de door SRON gewenste communicatiesystemen op het board aangebracht.

De ontwikkeling van het "Fast Prototyping"-board heeft geresulteerd in een platform voor het ontwikkelen van prototypes, met de mogelijkheid om eigen gemaakte en op de markt verkrijgbare boards aan te sluiten met behulp van de FMC standaard. Daarnaast is er een FMC testmodule en een testbeschrijving om toekomstige versies van het board te kunnen testen en te verbeteren.

Summary

Wishing to be able to test and develop prototypes faster and easier, a prototyping-board is developed for SRON. The development of the prototyping board is preceded by research of SRONs demands and wishes, and a quest for a fast and easy way to connect prototypes to the prototyping-board. The development of the "Fast Prototyping"-board consists of drawing schematics, designing a layout and creating a test board and a test sequence for testing purposes.

Based on the demands and wishes of SRON a Xilinx Virtex 5 FPGA is chosen as the basis for the prototyping-board. Matching peripherals are sought for this FPGA. Secondly, research is done which communication systems should be implemented on the prototyping-board.

The simple connection of prototype boards is found in the FPGA Mezzanine Card standard (FMC). This ANSI / VITA standard provides almost all the possibilities laid down in the demands and wishes of SRON. In addition, a backplane configuration option is added to the board, so that the prototyping-board can be used with several other boards. All the communication systems desired by SRON are added to the prototyping-board.

The development of the "Fast Prototyping"-board resulted in a platform for developing prototypes, with the possibility to connect homemade or commercially available FMC standard prototyping boards. Additionally, a FMC test module and a test description are made to test and improve future versions of the "Fast Prototyping"-board.

Inhoudsopgave

<i>Contactgegevens</i>	<i>3</i>
<i>Document versiebeheer.....</i>	<i>4</i>
<i>Afkortingen- en Woordenlijst</i>	<i>5</i>
<i>Voorwoord.....</i>	<i>7</i>
<i>Samenvatting</i>	<i>8</i>
<i>Summary</i>	<i>9</i>
<i>Inhoudsopgave</i>	<i>10</i>
1. Inleiding.....	13
1.1 Aanleiding voor de opdracht.....	13
1.2 Doelstelling van de opdracht.....	13
1.3 Werkwijze.....	13
1.4 Randvoorwaarden en uitgangspunten.....	13
1.5 Structuurbeschrijving	13
2. Organisatie	14
2.1 Low-Energy Astrophysics (LEA).....	14
2.2 High-Energy Astrophysics (HEA)	15
2.3 Earth and Planetary Science (EPS).....	15
2.4 Sensor Research and Technology (SR&T).....	15
2.5 Engineering Division (ED)	15
3. Probleemstelling en opdrachtomschrijving.....	16
3.1 Probleemstelling	16
3.2 Opdrachtomschrijving.....	16
4. Werkwijze.....	17
4.1 Voorbereidend onderzoek	18
4.2 Ontwerp en productie.....	18
4.3 Testen	18
4.4 Te gebruiken middelen	19
5. Voorbereidend onderzoek.....	20
5.1 Eisen en wensen aan het board.....	20
5.2 FMC standaard voor prototyping boards.....	21
5.2.1 Voordelen van de FMC standaard.....	21
5.2.2 Beschikbare FMC modules	22
5.2.3 SRON FMC test module	22

5.3	FGPA.....	22
5.3.1	Periferie.....	22
5.3.2	Terminatie	23
5.3.3	Space Qualified Component.....	23
5.4	FPGA randapparatuur	24
5.4.1	RAM	24
5.4.2	FLASH MEMORY	24
5.4.3	EEPROM	24
5.5	Communicatiemiddelen	24
5.5.1	RS422.....	24
5.5.2	RS485.....	24
5.5.3	JTAG.....	25
5.5.4	10/100 Mbit ethernet.....	25
5.5.5	Optisch gigabit ethernet	25
5.5.6	Spacewire	25
6.	Ontwerp en productie	26
6.1	Specifieke ontwerpkeuzes	26
6.1.1	Voeding.....	27
6.1.2	FMC Standaard	30
6.1.2.1	Toegewezen signalen.....	30
6.1.2.2	IO en RocketIO.....	30
6.1.2.3	FMC clocks.....	30
6.1.2.4	Afwijking van de standaard: Single ended vs. Differentiële lijnen.....	31
6.1.2.5	Afwijking van de standaard: Analoge voeding.....	31
6.1.3	Backplane.....	31
6.1.4	Geheugen	32
6.1.5	Communicatiemiddelen	32
6.1.6	Klok.....	32
6.2	Tekenen van schema's.....	33
6.3	Design description	34
6.4	Review	34
6.5	Lay-out	34
6.5.1	Indeling van het board.....	35
6.5.2	Differentiële lijnen, reflecties en terminatie.....	36
6.5.3	Review van de Lay-out	36
6.6	Productie.....	36
6.7	Assemblage.....	37
7.	Testen.....	38
7.1	Testbeschrijving.....	38
7.2	Testmiddelen	39
7.3	Uitvoering van de tests.....	39
7.3.1	Automated Optical Inspection.....	40
7.3.2	Board Power up.....	41

7.3.3	Interface tests	42
7.4	Verwerking van de testresultaten	42
8.	Resultaten	43
8.1	Opgeleverde producten	43
8.2	Resultaten met betrekking tot de eisen en wensen.....	43
8.3	Resultaten met betrekking tot de schema's	43
8.4	Resultaten met betrekking tot de lay-out.....	43
9.	Conclusies en Aanbevelingen.....	44
9.1	Conclusies.....	44
9.1.1	Conclusies met betrekking tot het ontwerp	44
9.1.2	Conclusies met betrekking tot het ontwerpproces.....	44
9.2	Aanbevelingen	45
9.2.1	Verbeterpunten in het ontwerp.....	45
9.2.2	Verbeterpunten in het ontwerpproces	45
9.3	Betekenis en waardering van het product binnen de organisatie	46
	Literatuurlijst.....	47
	Figuren	47
	Tabellen.....	47
	Overige Bronnen.....	48
	Index	49
	Bijlagen.....	51
	Bijlage A: Plan van Aanpak	52
	Bijlage B: System Requirements Document.....	68
	Bijlage C: "Fast Prototyping" Design Description.....	80
	Bijlage D: Schema's "Fast Prototyping"-board	101
	Bijlage E: Lay-out "Fast Prototyping"-board	119
	Bijlage F: Schema's SRON FMC Testboard.....	122
	Bijlage G: Lay-out SRON FMC Testboard	124
	Bijlage H: ANSI FMC standaard.....	126
	Bijlage I: Board Level Test document.....	131
	Bijlage J: Blokschema voeding "Fast Prototyping"-board	153
	Bijlage K: Automated Optical Inspection Report.....	155
	Bijlage L: Schematisch overzicht "System Requirements"	157

1. Inleiding

1.1 Aanleiding voor de opdracht

De aanleiding voor het onderzoek is de wens van SRON om sneller prototypes te kunnen ontwikkelen.

Met een prototyping-board dat toegespitst is op de eisen en wensen van SRON kan er behoorlijke tijdswinst worden geboekt met het maken van prototypes, daar niet elke keer een volledig board hoeft te worden ontwikkeld.

De aanleiding van dit project wordt uitgebreid beschreven in hoofdstuk 3: Probleemstelling en opdrachtomschrijving.

1.2 Doelstelling van de opdracht

Het doel van de opdracht is het ontwerpen, maken en testen van een "Fast Prototyping"-board voor SRON. Hierbij dient rekening gehouden te worden met de eisen en wensen van SRON, nu en in toekomstige projecten. De doelstelling van dit project wordt uitgebreid beschreven in hoofdstuk 3: Probleemstelling en opdrachtomschrijving.

1.3 Werkwijze

De opdracht is uitgesplitst in verschillende onderdelen. Zo dient er onderzoek gedaan te worden naar de eisen, wensen en mogelijkheden van en binnen SRON. Daarna volgt het ontwerp-, productie- en testtraject. Meer hierover is te vinden in hoofdstuk 4: Werkwijze.

1.4 Randvoorwaarden en uitgangspunten

SRON heeft als uitgangspunt een document samengesteld met daarin een minimaal pakket aan eisen en wensen aan het "Fast Prototyping"-board. Deze eisen en wensen dienen als leidraad voor het hele project. Binnen deze eisen en wensen is volop ruimte om allerlei mogelijkheden te onderzoeken. In hoofdstuk 5: Voorbereidend onderzoek, wordt er onderzoek gedaan binnen deze ruimte.

1.5 Structuurbeschrijving

Dit verslag is ingedeeld in negen genummerde hoofdstukken, waarin achtereenvolgens in verschillende hoofdstukken de volgende punten worden behandeld:

- Algemene informatie over de opdracht en de context
- Onderzoek naar de eisen, wensen en mogelijkheden en een testbeschrijving
- Resultaten en conclusies van de opdracht

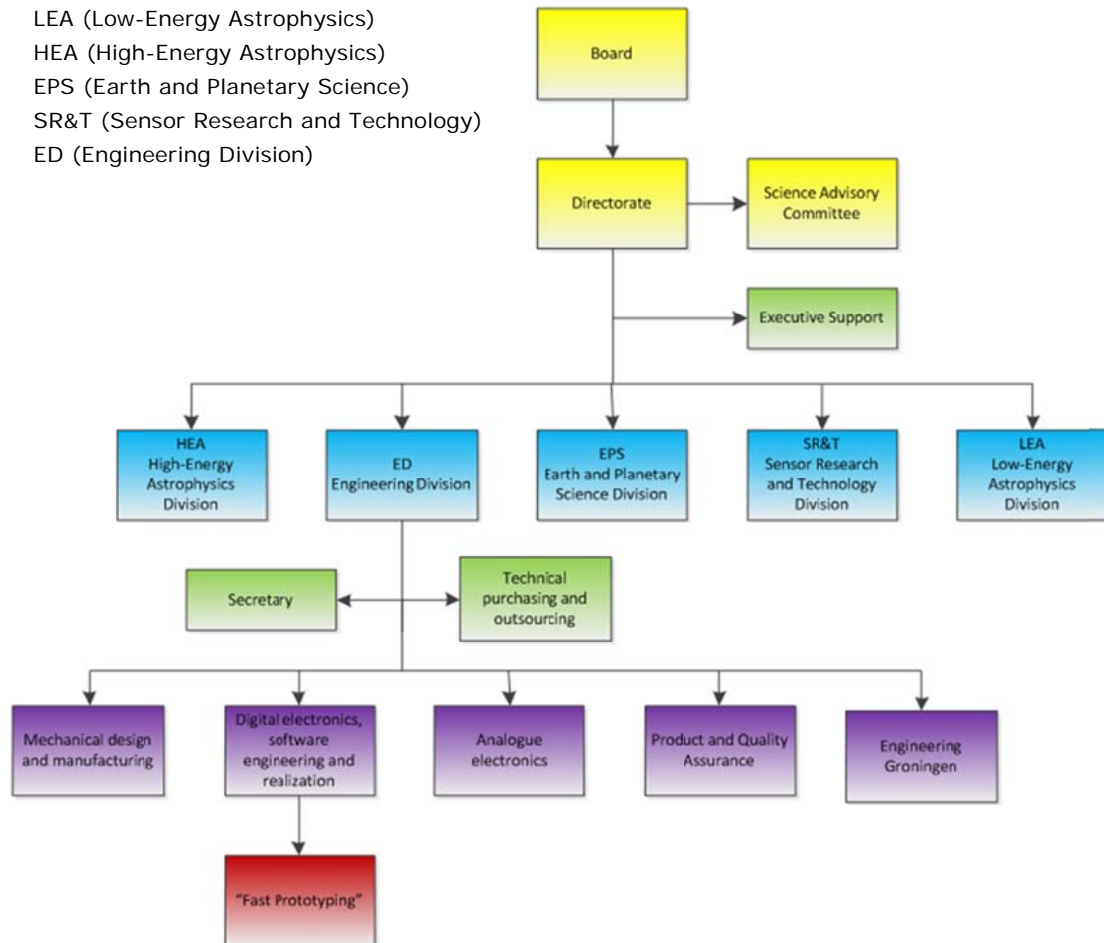
Verder bevat dit verslag een overzicht van de gebruikte bronnen, een overzichtelijke index en een woordenlijst en de nodige bijlagen voor verdieping van bepaalde delen van het verslag.

2. Organisatie

Netherlands Institute for Space Research (SRON) ontwikkelt en gebruikt innovatieve instrumenten voor baanbrekend astrofysisch en atmosferisch onderzoek vanuit de ruimte.

Binnen SRON zijn er vijf verschillende divisies:

- LEA (Low-Energy Astrophysics)
- HEA (High-Energy Astrophysics)
- EPS (Earth and Planetary Science)
- SR&T (Sensor Research and Technology)
- ED (Engineering Division)



2.1. Low-Energy Astrophysics (LEA)

In de Low-Energy Astrophysics (LEA) worden observaties gedaan in het infrarood en sub-millimeter golflengtegebied (2,5 tot 1000 micrometer). De observaties worden gedaan vanuit vliegtuigen, ballonplatforms of met behulp van satellieten in de ruimte.

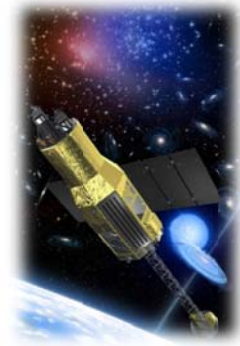
SRON heeft in de afgelopen 50 jaar vele instrumenten ontwikkeld die onderzoek doen in dit golflengtegebied, zoals Inframap, BIRAP, IRAS, ISO, Herschel-Planck en TELIS.

2.2. High-Energy Astrophysics (HEA)

High-Energy Astrophysics (HEA) doet onderzoek in het Röntgen/Gamma golflengtegebied (ongeveer 0,1 keV tot 10 GeV). Dit golflengtegebied kan alleen worden onderzocht vanuit de ruimte, omdat de aardse atmosfeer deze straling tegen houdt.

SRON is op dit moment verantwoordelijk voor de "Reflection Grating Spectrometer" (RGS) aan boord van ESA's XMM-Newton satelliet, en de Low Energy Transmission Grating (LETG) aan boord van NASA's Chandra.

In de toekomst richt de HEA divisie zich op nieuwe missies zoals Astro-H en IXO.



2.3. Earth and Planetary Science (EPS)



Earth and Planetary Science (EPS) houdt zich bezig met het bestuderen van de atmosfeer van de aarde en (exo)planeten. Dit gebeurt meestal vanuit de ruimte. De instrumenten in de ruimte hebben minder last van storing door de atmosferische omstandigheden, en geven een homogener beeld.

Missies die SRON ondersteunt zijn onderzoeken naar de atmosfeer, met behulp van het SCIAMACHY-instrument aan boord van de ESA Envisat satelliet, en bijvoorbeeld onderzoek naar het gravitatie veld van de aarde. Op dit moment wordt er hard gewerkt aan TROPOMI, een instrument waarmee onderzoek kan worden gedaan naar de samenstelling van de aardse atmosfeer.

2.4. Sensor Research and Technology (SR&T)

Sensor Research and Technology (SR&T) houdt zich bezig met het ontwikkelen van sensoren voor de onderzoeken die men graag wil doen in toekomstige missies. Hierbij kan worden gedacht aan bijvoorbeeld cryogene micro-calorie meters en gemultiplexte uitlezing van sensoren.

2.5. Engineering Division (ED)

De Engineering Division ontwikkelt zelf de elektronica, mechanica en software voor allerlei verschillende ruimteonderzoeksinstrumenten. Hieronder valt bijvoorbeeld het maken van de software en hardware voor het uitlezen van de sensoren, de communicatie met de satelliet, het verwerken van data, et cetera.

De Engineering Divisie heeft meer dan zestig engineers met een breed palet aan expertises, zoals analoge en digitale elektronica, software, mechanisch design, product- en kwaliteitscontrole, et cetera. Het "Fast Prototyping"-board wordt ontwikkeld binnen de digitale sectie.



3. Probleemstelling en opdrachtomschrijving

3.1 Probleemstelling

SRON ontwikkelt en bouwt onder andere elektronica voor onderzoeksinstrumenten. Deze instrumenten zijn vaak nieuw, en daarom is ook de ontwikkeling van de elektronica vaak een zoektocht naar de juiste oplossing. Tijdens het zoeken naar oplossingen worden er prototypes gemaakt om het uitgedachte concept te testen.

Tot nu toe wordt ook het digitale gedeelte van deze prototypes telkens opnieuw gebouwd. Met het digitale gedeelte wordt bedoeld het gedeelte waarin de processor en alle aanverwante elektronica zit, en waarin alle communicatiesystemen zitten, zoals Ethernet, RS485, et cetera. Dit is een tijdrovende klus, waardoor het bouwen van een prototype aanzienlijk langer duurt dan wanneer er alleen een prototype zou kunnen worden gemaakt met alleen de elektronica die getest dient te worden.

3.2 Opdrachtomschrijving

Deze opdracht omvat het maken van een "Fast Prototyping"-board. Door middel van dit board zou in de toekomst het digitale gedeelte van het prototype niet telkens opnieuw te hoeven worden gemaakt, maar slechts een board van de te testen elektronica.

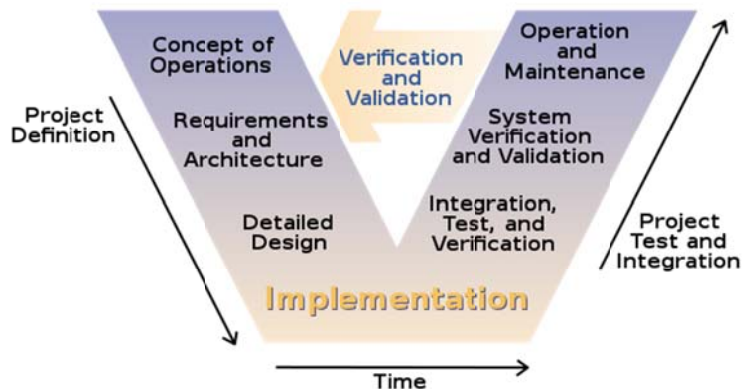
Door eventueel gebruik te maken van een standaard connector, met aansluitingen volgens een vastgestelde norm, zou er sneller resultaat geboekt kunnen worden met het testen van prototypes. Hiernaar dient onderzoek verricht te worden, zodat vastgesteld kan worden of er een standaard is, en of deze voldoet aan de door SRON gestelde eisen.

Binnen SRON lopen op dit moment een aantal onderzoeksprojecten. Mogelijkerwijs kan het "Fast Prototyping"-concept worden toegepast binnen deze projecten. Voor het vaststellen van de mogelijkheden die het concept kan of moet hebben dient er onderzoek te worden gedaan naar de eisen en wensen van deze onderzoeksprojecten aan het "Fast Prototyping"-concept.

4. Werkwijze

Het ontwikkelen van het "Fast Prototyping"-board is op een systematische wijze aangepakt. De tijdsspanne waarin het product ontwikkeld moet worden is beperkt, wat een strakke planning vereist.

De ontwikkeling van dit board is aangepakt volgens het zogenaamde "V-model". Dit model beschrijft een systematische aanpak voor het ontwikkelen van software, maar is in grote lijnen op elk project toe te passen.



Figuur 2: V-model (Bron: Wikipedia)

Wanneer het model vereenvoudigd wordt toegepast op het "Fast Prototyping"-project, is het project in te delen in drie fases, welke in figuur 3 schematisch zijn weergegeven:

- Onderzoek (Project Definition)
- Ontwerp en Productie (Implementation)
- Testen (Verification and Validation)



Figuur 3: Schematische weergave werkwijze

4.1 Voorbereidend onderzoek

Voor het van start gaan met het ontwerp van het schema voor het “Fast Prototyping”-board, dient er onderzoek gedaan te worden naar een aantal specifieke en zeer belangrijke onderdelen van het board. Hierbij kan worden gedacht aan een onderzoek naar de zogenaamde FMC standaard (FPGA Mezzanine Card, een standaard voor een moeder-/zusterbord constructie), de te gebruiken FPGA en de richtlijnen die SRON heeft voor het ontwerpen van een schema.

4.2 Ontwerp en productie

Na het voorbereidend onderzoek wordt er gestart met het maken van een schema. Dit schema wordt ontworpen naar de standaarden en knowhow van SRON en naar de opgestelde eisen en wensen, zoals beschreven in het “System Requirements Document”, die te vinden is in Bijlage B: System Requirements Document.

Gaandeweg het ontwerpproces zullen andere specificaties worden vastgesteld, voor bijvoorbeeld de voeding, communicatiemiddelen en andere onderdelen. De keuzes die gemaakt worden tijdens het ontwerpproces worden beschreven in de “Design Description”, die te vinden is in *Bijlage C: “Fast Prototyping” Design Description*.

Tijdens het ontwerpproces zullen delen van het bord gesimuleerd of getest moeten worden. In paragraaf 6.1.1 zal ingegaan worden op de simulatie en test van een gedeelte van het voedingscircuit. De opbouw van de schema’s, de simulatie en de tests van deze voedingen is een voorbeeld van het onderzoek wat voor vrijwel alle componenten van het board heeft plaatsgevonden.

Wanneer het concept schema klaar is, zal deze door meerdere personen worden gereviewed. Als het schema voldoet aan alle eisen en wensen zal de lay-out worden gemaakt. Na het lay-outen wordt de print geproduceerd en geassembleerd.

4.3 Testen

Na assemblage zal een testprotocol worden doorlopen om de print te testen. Voor het testen zal een protocol worden gemaakt, waarin wordt beschreven welke onderdelen in welke volgorde getest dienen te worden, en welke waardes daarbij worden verwacht.

4.4 Te gebruiken middelen

SRON gebruikt DXdesigner voor het ontwerpen van schema's. De FPGA schema's worden gemaakt met behulp van IODESIGNER, en de layout wordt gemaakt met Expedition.

Al deze software programma's worden gemaakt door Mentor Graphics. Meer informatie is te vinden op internet: <http://www.mentor.com/>.



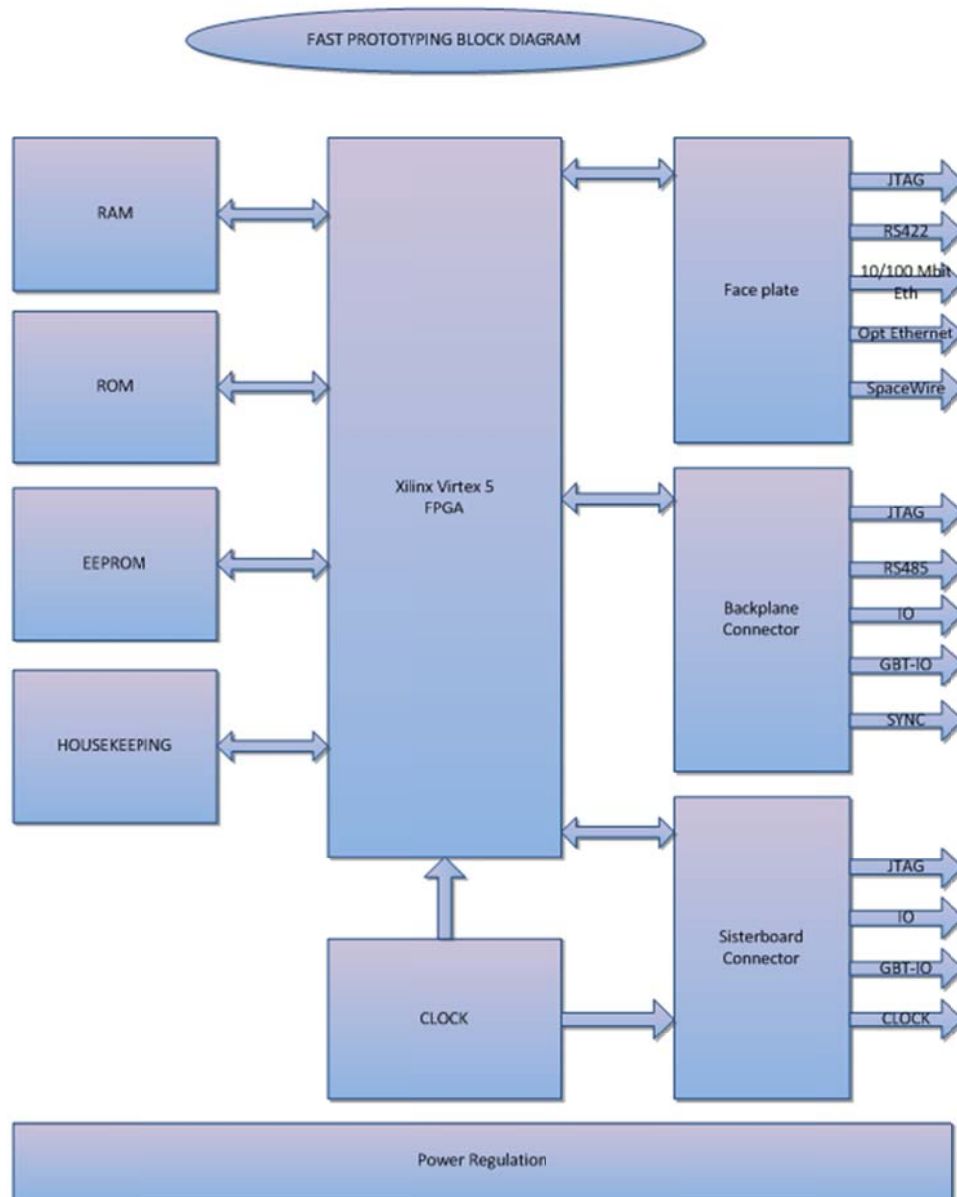
Voor het vinden van informatie wordt niet alleen het internet gebruikt, maar ook de kennis die SRON in huis heeft. Hiermee wordt de kennis van medewerkers bedoeld, alsook schema's en ontwerpen van andere SRON projecten.

5. Voorbereidend onderzoek

De basis van het "Fast Prototyping"-board is de multifunctionele inzetbaarheid, waarbij het dient te voldoen aan de eisen en wensen die SRON stelt. De belangrijkste uitgangspunten zijn hierbij het rekencentrum van het board, de processor, de communicatie met het board en de prototyping mogelijkheden, in de vorm van de FMC standaard. In dit hoofdstuk wordt ingegaan op de belangrijkste onderdelen, omdat deze het hart van het "Fast Prototyping"-board vormen.

5.1 Eisen en wensen aan het board

SRON heeft vooraf een aantal eisen gesteld aan het board. Samen met eisen en wensen die later ter tafel zijn gekomen door nieuwe inzichten, is een schematisch overzicht gemaakt, zoals in onderstaand figuur is weergegeven.



Figuur 4: Schematisch overzicht eisen en wensen

5.2 FMC standaard voor prototyping boards

FMC staat voor "FPGA Mezzanine Card". Deze standaard is gemaakt om eenvoudig verschillende soorten "zusterboards" (modules) met een FPGA te verbinden.

De FMC standaard is een ANSI standaard (ANSI/VITA 57.1 FMC) die is ontwikkeld door een consortium van bedrijven variërend van FPGA producenten tot eindgebruikers. De standaard beschrijft de vorm van de kaart, de te gebruiken connector en de interface naar de FPGA op een moederbord.



De FMC standaard is er in twee vormen, de 'Low Pin Count' (LPC) en de 'High Pin Count' (HPC) variant. De LPC variant heeft 160 pinnen, waarvan circa 90 IO's verdeeld over 4 rijen van 40 pinnen, en kan relatief eenvoudig worden gebruikt. Is er behoefte aan meer IO's, dan kan gebruik worden gemaakt van de HPC variant, die 400 pinnen heeft, waarvan 225 IO's, verdeeld over 10 rijen van 40 pinnen.

5.2.1 Voordelen van de FMC standaard

De FMC standaard biedt een aantal voordelen waaronder:

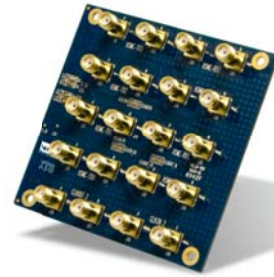
- **Snelheid:** De standaard biedt ruimte voor signalen met snelheden tot 10 Gb/s, met een potentiële bandbreedte van 40 Gb/s tussen het moederbord en de module
- **Eenvoudig ontwerp:** Er wordt nauwelijks gebruik gemaakt van standaard protocollen, zodat er geen specialistische kennis nodig is van alle verschillende protocollen, en zodat er volop ruimte is voor eigen invulling
- **Weinig overhead:** Door gebruik te maken van een eenvoudig ontwerp wordt er minder vermogen gebruikt, is er minder rekenkracht nodig, minder ontwerptijd en minder materiaalkosten.
- **Hergebruik:** Eigen gemaakte modules of gekochte standaard modules kunnen eenvoudig worden hergebruikt met een ander moederbord.

Het alternatief voor de FMC standaard is het ontwikkelen van een eigen systeem met headers en/of eigen gespecificeerde connectoren. Dit gaat echter ten koste van de eenvoud van een erkende standaard en maakt hergebruik met andere borden vrijwel onmogelijk.

5.2.2 Beschikbare FMC modules

De FMC standaard is een relatief nieuwe standaard (Eerste publicatie: juli 2008). Inmiddels komen er steeds meer modules op de markt die aan deze standaard voldoen.

Xilinx, een grote producent van onder andere FPGA's, heeft op haar website een overzicht van verschillende modules die door Xilinx en door haar partners zijn ontwikkeld.



De verschillende modules bieden mogelijkheden voor onder andere:

- Test aansluitingen (Headers of SMA connectors zoals in Figuur 5.)
- Communicatie (Ethernet, RS485, RS232, CAN, PCI Express, SFP)
- Video output
- ADC / DAC interfaces
- Gigabit interfaces

De website met verschillende modules van Xilinx en haar partners is te vinden op het internet: http://www.xilinx.com/products/boards_kits/fmc.htm

5.2.3 SRON FMC test module

In de vorige paragraaf is beschreven wat voor soort standaard FMC modules beschikbaar zijn. SRON heeft met deze standaard een platform waarop het haar eigen modules kan ontwikkelen. Het is echter aan te bevelen om een test module te hebben waarmee het "Fast Prototyping"-board kan worden getest, enerzijds voor de eerste "power up" van het board, anderzijds voor het fout zoeken in een later stadium.

5.3 FGPA

De te gebruiken FPGA is een Xilinx Virtex-5 5VSX50T. Deze FPGA wordt binnen SRON gebruikt voor meerdere projecten die op dit moment in ontwikkeling zijn. De Xilinx Virtex-5 is tevens een kandidaat voor een "Space Qualified"-aanduiding.

Xilinx heeft ook nieuwere FPGA's op de markt. Echter, doordat de "oudere" Virtex-5 in aanmerking komt voor een "Space Qualified"-aanduiding, en omdat er bij SRON reeds veel gebruik wordt gemaakt van deze FPGA verdient deze de voorkeur.

5.3.1 Periferie

De Xilinx Virtex 5SX50T is een FPGA met 1136 pins, waarvan maximaal 480 user IO's verspreid over 15 banks. Deze FPGA beschikt verder over 12 GTP RocketIO tranceivers voor transmissiesnelheden tot 3,75 Gbit/s.

Deze FPGA heeft veel rekenkracht door de 288 DSP slices en 8160 Virtex-5 slices.

Een DSP (Digital Signal Processor) slice bevat:

- 25 x 18 Multiplier
- Adder
- Accumulator

Een Virtex-5 slice bevat:

- 4 LUT's
- 4 FlipFlops.



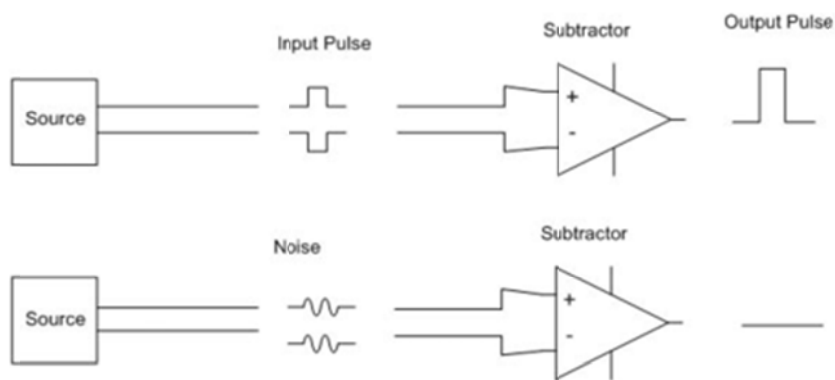
5.3.2 Terminatie

De Virtex-5 FPGA bevat interne terminatie om differentiële lijnen te termineren met een weerstand van 100 Ohm. Door deze terminatie in de FPGA te laten plaatsvinden is ook het laatste stuk van de lijn getermineerd, waardoor er minimale reflecties optreden. Dit komt de signaalintegriteit ten goede en maakt hoge transmissiesnelheden mogelijk.

Een differentiële lijn is een manier om signaaloverdracht ongevoeliger te maken voor storing. Een differentiële lijn bestaat uit twee naast elkaar gerouteerde signaalpaden, waarover elkaars tegenovergestelde signaal wordt verstuurd.

Omdat beide signaalpaden naast elkaar liggen, ontvangen deze nagenoeg dezelfde externe storing. Door beide resultaten van elkaar af te trekken, blijven alleen de bedoelde signalen over.

Onderstaande afbeelding illustreert de werking van een differentiële lijn.



Figuur 6: Werking van een differentiële lijn (Bron: Wikipedia)

5.3.3 Space Qualified Component

De Virtex-5 FPGA wordt in de toekomst wellicht toegelaten om te gebruiken in ruimtevaartprojecten. Deze "Space Qualified"-aanduiding wordt behaald door een component te ontwerpen wat bestand is tegen de verschillende soorten straling in de ruimte. Daar het een tijdrovend en duur proces is om een component "Space Qualified" te krijgen, zijn er maar weinig componenten met deze aanduiding. Ondanks dat Xilinx al weer nieuwere FPGA's op de markt brengt, verdient deze FPGA door de mogelijke "Space Qualified"-aanduiding de voorkeur.

Een andere vrij grote speler op de markt van FPGA's, Actel, heeft al jaren FPGA's met een "Space Qualified"-aanduiding. Deze FGPA's liggen echter ver achter wat betreft rekenkracht ten opzichte van de FPGA's van Xilinx.

5.4 FPGA randapparatuur

De Xilinx Virtex-5 FPGA in het "Fast Prototyping"-board heeft om goed te functioneren randapparatuur nodig die zorgt voor al dan niet tijdelijke opslagruimte, ook wel geheugen genoemd. Deze geheugens bieden ruimte om een besturingssysteem op de FPGA te laten draaien, of om bijvoorbeeld tijdelijke data uit berekeningen of ADC's op te kunnen slaan.

5.4.1 RAM

Random-Access Memory (RAM) is een geheugen waarvan alle plaatsen in het geheugen even snel toegankelijk zijn. Dit soort geheugen is zeer snel, en wordt in alle computers en laptops toegepast en draagt dan vaak de benaming "intern geheugen". Een FPGA maakt op dezelfde manier gebruik van dit geheugen als een computer.



IM

5.4.2 FLASH MEMORY

Flash geheugen wordt gebruikt om data op te slaan. Dit type geheugen is gebaseerd op de werking van een EEPROM. In de toepassing van het "Fast Prototyping"-board wordt het Flash geheugen gebruikt om de software op te slaan die op het board zal draaien.

5.4.3 EEPROM

Electrically Erasable Programmable Read-Only Memory (EEPROM) is een soort geheugen waarin kleine hoeveelheden informatie kan worden opgeslagen. In de toepassing van het "Fast Prototyping"-board wordt deze EEPROM gebruikt voor het opslaan van de versie van het board, een standaard die binnen SRON wordt gebruikt voor alle boards met 'eigen' intelligentie.



voorbeeld
MIC

5.5 Communicatiemiddelen

Communiceren met een board zoals het "Fast Prototyping"-board kan op veel verschillende manieren. SRON gebruikt voor de communicatie met haar systemen een aantal standaarden, waaronder RS422, RS485, JTAG, 10/100 Mbit ethernet, Optisch Gigabit ethernet en SpaceWire. De volgende paragrafen geven in het kort informatie over deze communicatiemiddelen.

5.5.1 RS422

RS422 is een serieel communicatieprotocol, vergelijkbaar met RS232 zoals deze op de meeste apparaten is te vinden. RS422 heeft echter als voordeel dat de overdrachtssnelheid kan oplopen tot 10 Mbit/s. Tevens heeft RS422 een busstructuur, waarbij er meerdere ontvangers kunnen worden aangesloten op één zender. De storingsgevoeligheid van RS422 is beduidend lager dan bij RS232, omdat er gebruikt wordt gemaakt van differentiële signalen, in plaats van een single-ended structuur. Daarbij beschikt het RS422 protocol over een vorm van 'flow control', wat er voor zorgt dat er geen data verloren gaat als een ontvanger 'te druk' is.

5.5.2 RS485

RS485 is net als RS422 een serieel communicatieprotocol. Het verschil is echter dat RS485 meerdere zenders en ontvangers op een busstructuur kan bevatten, waar RS422 slechts 1 zender per bus kan hebben. RS485 kan een hogere transmissiesnelheid van 35 Mbit/s aan. RS485 heeft echter geen flow control zoals RS422.

5.5.3 JTAG

Joint Test Action Group (JTAG) is de naam die wordt gebruikt voor de IEEE 1149.1 standaard, een standaard voor een test-interface en boundary-scans. Het programmeren van onder andere de FPGA op het "Fast Prototyping"-board kan door middel van deze aansluiting.

5.5.4 10/100 Mbit ethernet

Ethernet is de meest gebruikte standaard voor computer netwerken, ontwikkeld rond 1980. Ethernet wordt beschreven in de IEEE 802.3 standaard. De transmissiesnelheid van deze interface kan oplopen tot 100 Mbit/s, en wordt bij SRON veelal gebruikt om te communiceren met de EGSE (Electrical Ground Support Equipment), een computer die zorgdraagt voor het aansturen en uitlezen van het board.



*beeld
bel*

5.5.5 Optisch gigabit ethernet

Optisch gigabit ethernet wordt beschreven in de IEEE 802.3 standaard. De transmissiesnelheden van deze optische interface kunnen oplopen tot 10 Gbit/s. Het gebruik van een optische interface heeft als groot voordeel dat er volledige galvanische scheiding is tussen de zender en ontvanger. De galvanische scheiding biedt de mogelijkheid om metingen te verrichten en tegelijkertijd te communiceren met een ander apparaat zonder dat er interferentie tussen deze apparaten kan optreden. De hoge transmissiesnelheid biedt volop gelegenheid om grote hoeveelheden meetgegevens uit te wisselen.

5.5.6 Spacewire

SpaceWire is hét communicatiemiddel aan boord van satellieten. SpaceWire wordt beschreven in IEEE 1355. De ESA ontwikkelt en coördineert het gebruik van SpaceWire in samenspraak met andere grote ruimtevaart organisaties, zoals het Amerikaanse NASA, het Japanse JAXA en het Russische FKA.

Alle meetinstrumenten op een satelliet communiceren met de centrale regelunit door middel van SpaceWire. De transmissiesnelheid van SpaceWire is tussen de 2 Mbit/s tot



*aceWire
)*

en met 400 Mbit/s. Het is een fout-tolerant protocol. In de ruimtevaart is betrouwbaarheid van dit soort communicatiesystemen essentieel.

6. Ontwerp en productie

Dit hoofdstuk bevat een beschrijving van het maken van het "Fast Prototyping"-board, met onder andere een verdieping in een aantal ontwerpkeuzes. Tevens beschrijft dit hoofdstuk hoe het tekenen van de schema's gedaan wordt, en hoe de reviews, het lay-outen, de productie en de assemblage van het "Fast Prototyping"-board worden gedaan.

6.1 Specifieke ontwerpkeuzes

De componenten die gebruikt worden in het "Fast Prototyping"-board zijn gekozen op basis van:

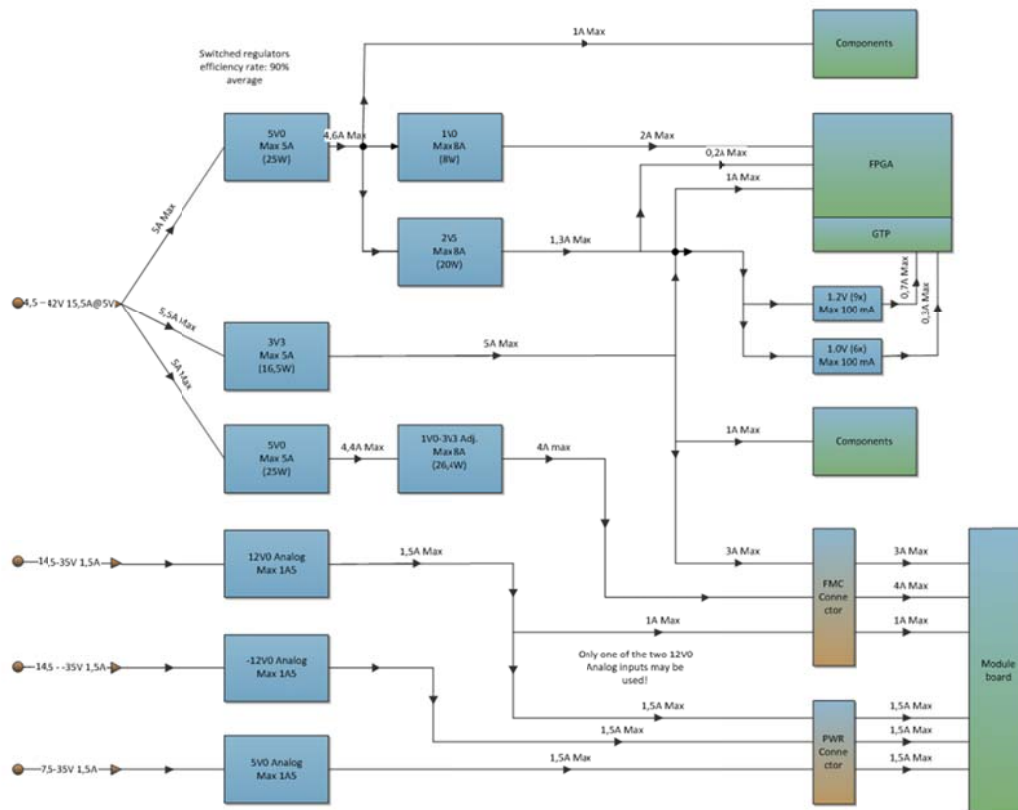
- De gestelde eisen en wensen in het "System Requirements Document"
- De beschikbaarheid in de bibliotheek van componenten die worden gebruikt bij SRON
- Bewezen diensten in andere SRON projecten, zoals TROPOMI, EURECA en ODELCO
- Betrouwbaarheid en stabiliteit van de componenten

Een schematisch overzicht van de "System Requirements" ter verduidelijking van het "System Requirements"-document is te vinden in *Bijlage L: Schematisch overzicht "System Requirements"*.

Een aantal onderdelen van het board zijn veelomvattender dan slechts een componentkeuze. De belangrijkste hiervan zijn hier nader beschreven.

6.1.1 Voeding

De specificaties van de voeding kunnen globaal worden bepaald aan de hand van de specificaties van onder andere de Virtex 5 FPGA en de specificaties van de FMC standaard. Met behulp van deze specificaties is een blokschema opgesteld wat een overzicht geeft over de te gebruiken spanningen, en de maximale stromen en vermogens die in het board gebruikt kunnen worden. Hieronder is het blokschema weergegeven. Een uitvergrande versie is te vinden in *Bijlage J: Blokschema voeding "Fast Prototyping"-board*.

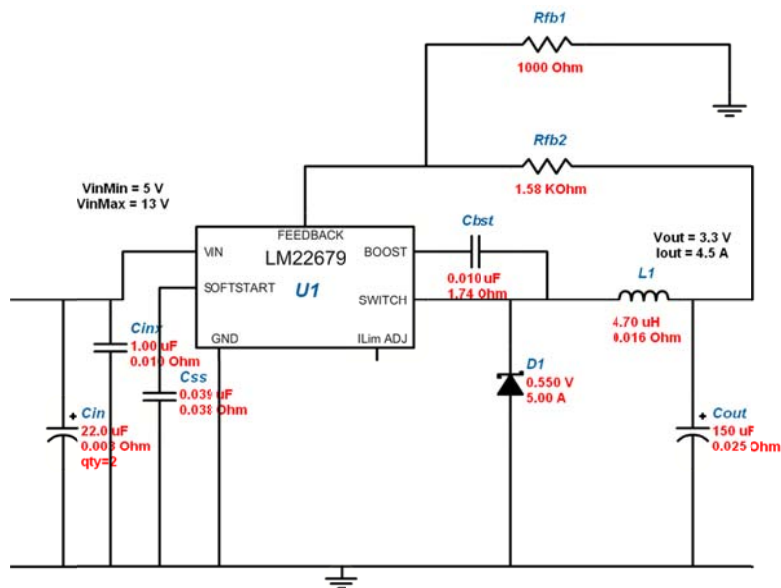


Figuur 11: Schematische weergave voeding

In het geval van het "Fast Prototyping"-bord is gekozen om zoveel mogelijk gebruik te maken van geschakelde voedingen. Dit type voeding kan efficiënter een groter vermogen leveren ten opzichte van lineaire voedingen. Het nadeel is echter dat deze voedingen een minder stabiele uitgangsspanning leveren. Voor digitale elektronica is dit meestal geen probleem.

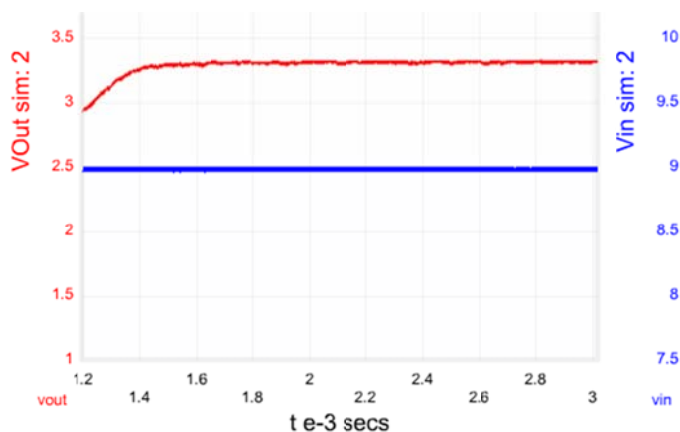
Om te voldoen aan de eisen wat betreft het vermogen en de in- en uitgangsspanningen is er gezocht naar een regulator die aan de specificaties voldoet. Om te controleren of deze regulator voldoet aan de eisen is er een simulatiemodel gemaakt met behulp van een simulatieprogramma. Tevens is er een echte testopstelling gemaakt.

In *Figuur 12: Simulatiemodel LM22679* is het simulatiemodel weergegeven van de LM22679, een regulator met voldoende uitgangsvermogen en een hoge efficiëntie. Het schema rond de regulator is opgebouwd volgens de specificaties van de datasheet. Het simulatiemodel is gemaakt met WEBENCH, een simulatietool van National, die geïntegreerd is met haar website.



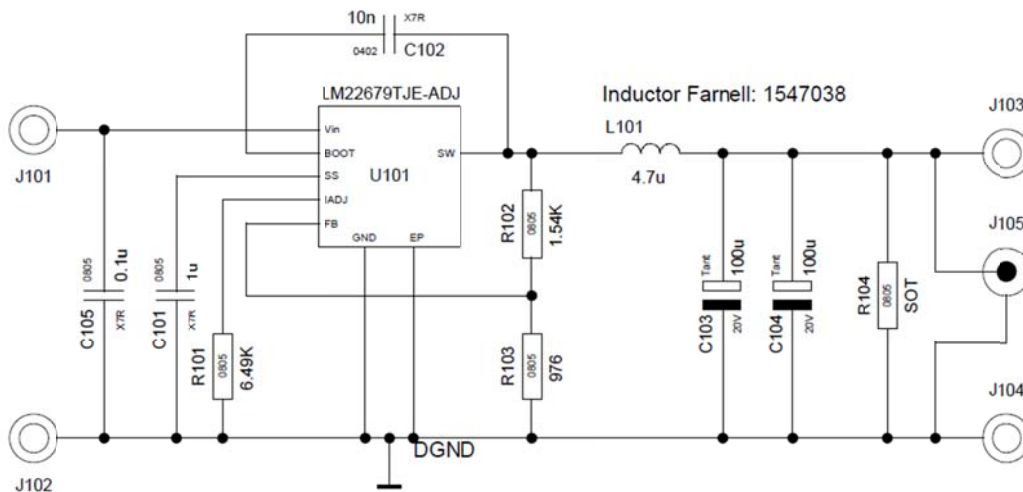
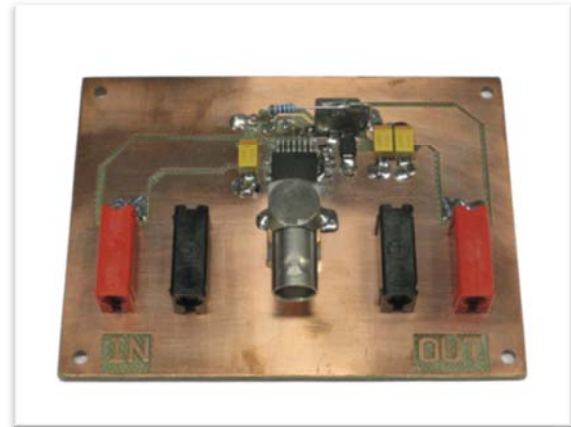
Figuur 12: Simulatiemodel LM22679

Figuur 13: Simulatie in- en uitgangsspanning LM 22679 is het resultaat van een simulatie waarbij de regulator wordt belast zodat deze 4.5 Ampère moet leveren bij een spanning van 3,3 Volt. In de figuur is te zien dat er een rimpel op de uitgangsspanning aanwezig is. Deze rimpel valt binnen de eisen die SRON stelt aan een digitale voeding.



Figuur 13: Simulatie in- en uitgangsspanning LM 22679

Om zeker te zijn van een stabiele voeding is er voor gekozen een testopstelling met deze regulator te maken. In *Figuur 15: Schema testopstelling LM 22679* is het schema te zien dat is gebruikt voor de test. Uit deze tests is gebleken dat de stabiliteit van de voeding nagenoeg overeen komt met het simulatiemodel. Tevens is gebleken dat de warmteontwikkeling van de regulator gering is, zodat extra (actieve) koeling van de regulators op het "Fast Prototyping"-bord niet nodig is. De regulator wordt zonder actieve koeling niet warmer dan 42 graden Celsius bij een omgevings-temperatuur van 25 graden Celsius.

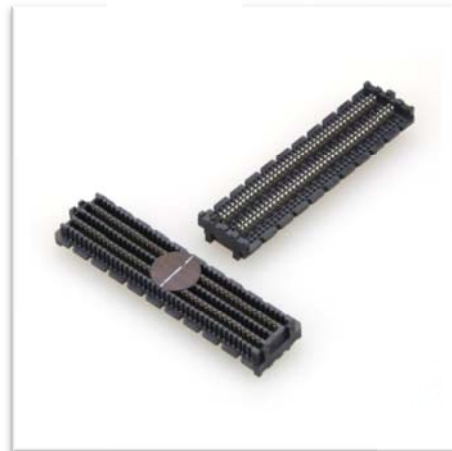


Figuur 15: Schema testopstelling LM 22679

6.1.2 FMC Standaard

Er is gekozen om gebruik te maken van de FMC standaard vanwege de flexibiliteit om verschillende functies toe te kunnen voegen, of om specifieke hardware te kunnen testen. De documentatie van deze standaard is verkregen bij ANSI/VITA. Deze documentatie is te vinden in *Bijlage H: ANSI FMC standaard*.

De FMC standaard omschrijft onder andere de vormgeving van de modules, de te gebruiken connectoren en de toe te passen elektrische aansluitingen. De vormgeving is van belang voor de lay-out van het "Fast Prototyping"-board, en voor het maken van modules. De elektrische aansluitingen zijn hier verder gespecificeerd.



jr

6.1.2.1 Toegewezen signalen

Er zijn een aantal standaard toegewezen signalen, zoals een I²C verbinding naar een op de module geplaatste EEPROM. Deze bevat informatie over onder andere de soort module, en welke spanningen worden verwacht op de "adjustable voltage"-aansluiting. Ook een JTAG verbinding is gespecificeerd, een aantal kloksignalen en een aantal signalen of er een module geplaatst is en of alle spanningen in overeenstemming zijn met de verwachtingen.

6.1.2.2 IO en RocketIO

De overige aansluitingen zijn allemaal differentiële IO's, die naar beschikbaarheid op de FPGA kunnen worden aangesloten. Om alle mogelijkheden open te houden is er voor gekozen zoveel mogelijk IO's aan te sluiten, zolang deze beschikbaar zijn op de FPGA. Voor de RocketIO is dit echter niet haalbaar, daar de Virtex-5 niet voldoende RocketIO beschikbaar heeft om deze allemaal aan te sluiten. Op het "Fast Prototyping"-board zijn er 4 van de 10 aangesloten. De standaard laat dit soort afwijkingen toe.

6.1.2.3 FMC clocks

De FMC standaard voorziet in een tweetal bi-directionele clocks. Om later te kunnen kiezen of de clock wordt aangeboden vanaf de 100MHz clock, of om een clock te genereren vanuit de FPGA is er gekozen voor een schakeling die beide mogelijkheden open houdt, zoals geïllustreerd in onderstaande afbeelding.

Figuur 17: Schematische weergave bi-directionele clocks

6.1.2.4 Afwijking van de standaard: Single ended vs. Differentiële lijnen

Bijna alle componenten die op een relatief lage snelheid werken, maken gebruik van "single ended"-lijnen. Omdat het zou kunnen dat er componenten op het zusterbord worden gebruikt die de alleen maar kunnen werken met "single ended"-lijnen (een enkele lijn tussen zender en ontvanger, gevoeliger voor storing dan differentiële lijnen), in plaats van de gespecificeerde differentiële lijnen is er voor gekozen om de voeding naar sommige banken van de FPGA configureerbaar te maken, zodat beide soorten kunnen worden gebruikt. De voeding kan geschakeld worden van LVDS (2.5V) naar LVTTL (3.3V) met behulp van een aantal op het "Fast Prototyping"- board geplaatste jumpers.

6.1.2.5 Afwijking van de standaard: Analoge voeding

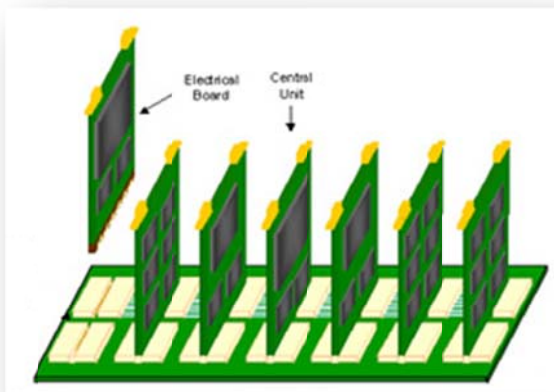
De FMC standaard heeft een aantal gespecificeerde voedingen, waaronder 3.3V, een aanpasbare voeding van 0-3.3V en een 12V voeding.

Om alle mogelijkheden open te houden om ook modules te kunnen maken die bijvoorbeeld ADC's, DAC's of opamps aan boord hebben, is er voor gekozen om meer analoge voedingen aan te bieden aan de modules dan de FMC standaard toelaat. Omdat op de standaard connector hier geen ruimte voor is gereserveerd, is er voor gekozen een extra connector op het "Fast Prototyping"- board te plaatsen, zodat eigen gemaakte zusterborden kunnen worden voorzien van extra analoge voedingen, zoals 5V, 12V en -12V.

Het blokschema in paragraaf 6.1.1 geeft een overzicht van de voedingen die naar de module toe kunnen worden geleid.

6.1.3 Backplane

Bij SRON wordt er voor sommige toepassingen gekozen voor een backplane configuratie. Dit betekent dat het "Fast Prototyping"-board in een backplane kan worden geplaatst, en via dit backplane communiceert met andere borden die in hetzelfde backplane zitten. Het onderstaande figuur geeft schematisch weer hoe een backplane configuratie er uit ziet.



Figuur 18: Voorbeeld schematische weergave backplane configuratie

Er is voor gekozen om dit backplane zo te configureren dat het wat betreft de connectoren overeenkomt met de al bestaande backplanes. Hiervoor is gekozen zodat er eventueel een backplane-standaard ontwikkeld kan worden om binnen SRON voor alle systemen te gebruiken.

6.1.4 Geheugen

In de FPGA wordt firmware geladen die een LEON3-core bevat. Deze core is een platform waarop embedded software kan draaien. Hiervoor is geheugen nodig, te weten RAM en FLASH MEMORY. In het verleden toegepast RAM voldeed aan de eisen wat betreft snelheid en betrouwbaarheid, alleen niet aan geheugenruimte. Op het "Fast Prototyping"-board is daarom gekozen voor verdubbeling van het RAM. Het FLASH MEMORY is ook al toegepast in een vergelijkbaar product (ODELCO), en deze is daarom ook op het "Fast Prototyping"-board gebruikt.

6.1.5 Communicatiemiddelen

Op het "Fast Prototyping"-board komen een aantal verschillende communicatiemiddelen, zoals RS422, SpaceWire, 10/100 Mbit Ethernet, Optisch Gb ethernet en JTAG.

Voor alle communicatiemiddelen behalve JTAG is er een standaard connector, al dan niet bedacht door SRON. Voor JTAG is gekozen voor een SubD9 connector. Hier dient een kabel voor gemaakt te worden die aangesloten kan worden op de door SRON gebruikte programmers.

Naast de JTAG connector voor het programmeren van de FPGA op het "Fast Prototyping"-board zal er een JTAG aansluiting worden voorzien via de FMC connector en de backplane connector. Via deze interface kunnen op het "Fast Prototyping"-board aangesloten boards worden geprogrammeerd. Op deze wijze hoeven de borden niet meer uit het backplane gehaald te worden om te worden geprogrammeerd, zoals dat tot op heden wel het geval is.

De basis voor de schema's van sommige communicatiesystemen zijn de schema's van andere SRON projecten. Deze zijn aangepast naar de eisen van het "Fast Prototyping"-board.

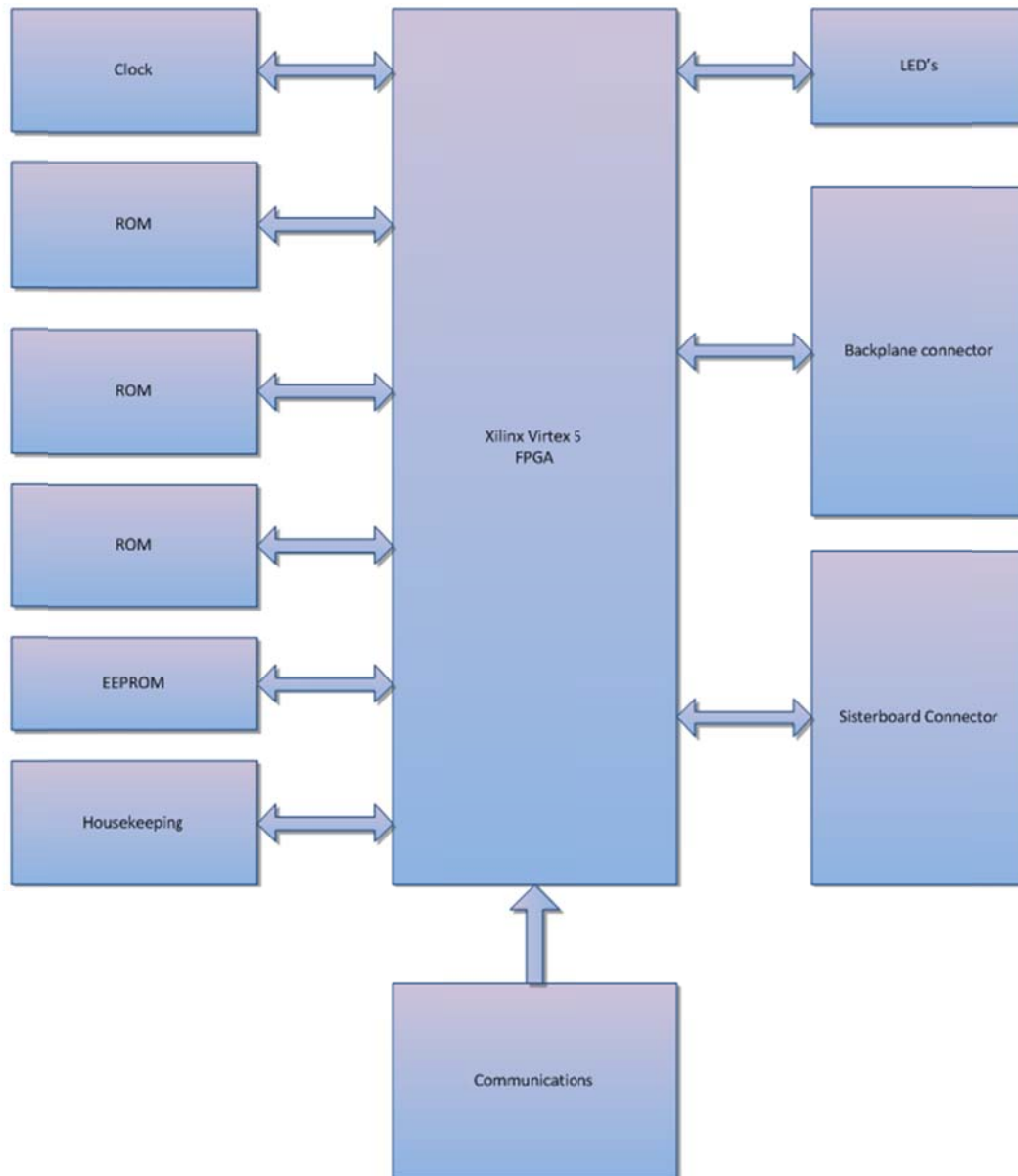
6.1.6 Klok

De klok voor de FPGA is zo gekozen dat de FPGA en de firmware op maximale snelheid kunnen werken, en dat deze gemakkelijk deelbaar is voor alle andere onderdelen op het "Fast Prototyping"-board die een klok nodig hebben. De gekozen klok is 100 MHz. Om de maximale snelheid van 3,75 Gb/s te kunnen halen met de RocketIO, heeft deze een aparte klok gekregen van 250MHz.

6.2 Tekenen van schema's

Het tekenen van de schema's wordt voorafgegaan door het maken van een onderverdeling in verschillende blokken. Elk van deze blokken bevat een gedeelte van het schema, om het overzicht te bewaren. Het resultaat van de onderverdeling is in onderstaand figuur weergegeven.

De volledige schema set is te vinden in *Bijlage D: Schema's "Fast Prototyping"-board*.



Figuur 19: Blokkenstructuur schema "Fast Prototyping"-board

Het tekenen van de schema's gaat samen op met het verzamelen van informatie, het verwerken van de informatie uit datasheets, onderzoek naar reeds gebruikte componenten en systemen die al op andere boards bij SRON zijn toegepast.

6.3 Design description

Tijdens het ontwerpen van de verschillende onderdelen van het schema, en het tekenen van de schema's wordt er een soort 'logboek' bijgehouden, ook wel een "Design description" genoemd. Deze beschrijving is bedoeld om op een later tijdstip te kunnen terughalen waarom bepaalde keuzes zijn gemaakt.

De beschrijving is opgebouwd lijkend op het "System Requirements Document", het document waarop het "Fast Prototyping"-board is gebaseerd, en is te vinden in *Bijlage C: "Fast Prototyping" Design Description*.

6.4 Review

Na het ontwerp en het tekenen van de schema's vindt er een review plaats van deze schema's. De review wordt gedaan door een aantal medewerkers van SRON. Het complete schema wordt gecontroleerd op eventuele fouten in de aansluitingen, en of alle componenten volgens specificatie zijn aangesloten. De "Design description" en de schema's zijn hierbij de leidraad.

Het controleren van schema's is een doorlopend proces. Meestal is één review niet voldoende. Er vinden vaak meerdere reviews plaats, om de in een voorgaande review verbeterde delen van het schema nogmaals te controleren.

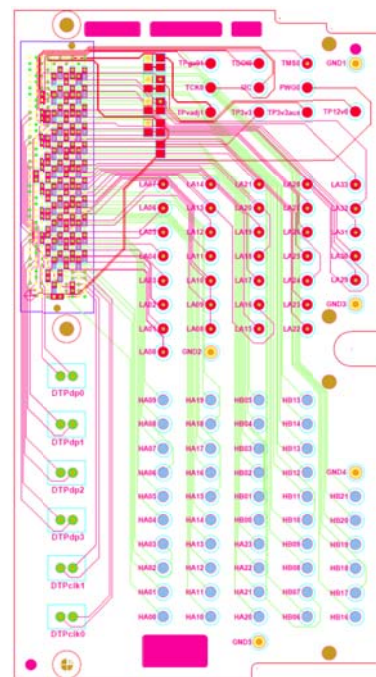
De review heeft een aantal fouten verbeterd in de aansluitingen van enkele onderdelen. De verschillende schema's van deze reviews zijn als verschillende PDF's bewaard gebleven. Er zijn in totaal 8 versies verschenen.

Bij de review zijn ook álle pennen (1136) van de FPGA gecontroleerd. Hierbij is gebleken dat de software (IOdesigner) enkele onvolkomenheden bevat. Deze fouten zijn bij de fabrikant van de software aangekaart.

6.5 Lay-out

Na de eerste reviews kan er begonnen worden met het tekenen van een lay-out. Bij het "Fast Prototyping"-Board wordt uitgegaan van een 10-laags print. Het aantal lagen is afhankelijk van het aantal signalen dat op een beperkte ruimte moet worden geplaatst.

Het "Fast Prototyping"-Board gebruikt bijna alle van de beschikbare user IO's van de FPGA (358 van de 388). Een groot aantal van deze signalen is differentieel, wat betekent dat deze ook differentieel gerouteerd moeten worden. Dit vereist een significante hoeveelheid ruimte.

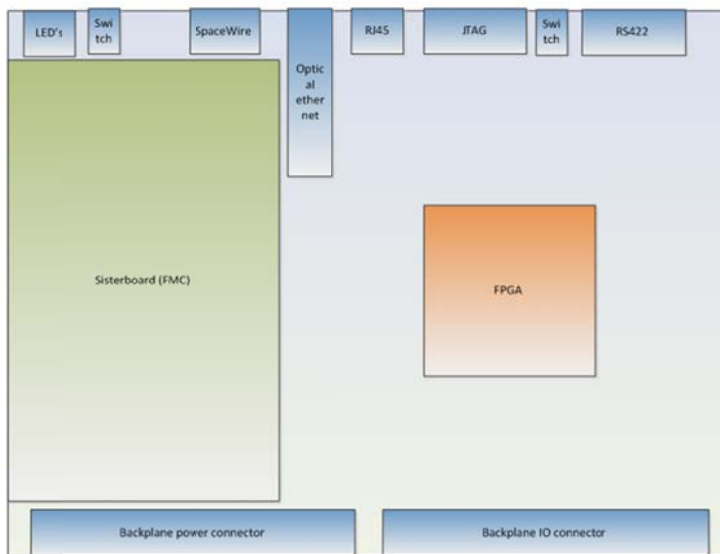


MC

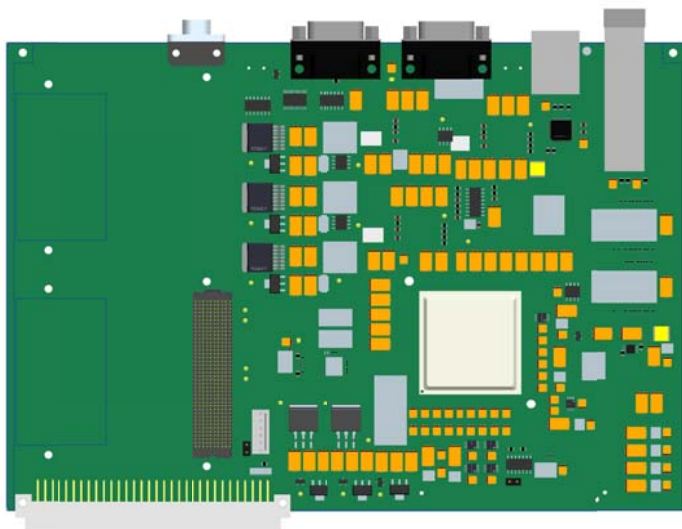
6.5.1 Indeling van het board

Vóór het maken van de Lay-out dient er een schets te worden gemaakt hoe de verschillende onderdelen op het board geplaatst dienen te worden. Hierin zijn twee soorten te onderscheiden, namelijk de onderdelen die een vaste plaats dienen te hebben, zoals de communicatiemiddelen die vanaf de voorzijde van de print benaderd moeten kunnen worden, en de overige onderdelen die niet afhankelijk zijn van hun locatie.

De lay-outer heeft zelf de ruimte om de volgorde van de onderdelen aan de randen in te delen. De grootte van het board (dubbele eurokaart, circa 160 x 200 mm), en de grootte van de onderdelen liggen vast. Figuur 21 is gebruikt om een globale indeling aan te geven richting de lay-outer. Figuur 22 geeft een impressie van het eindresultaat.



Figuur 21: Schematische weergave indeling "Fast Prototyping"-board



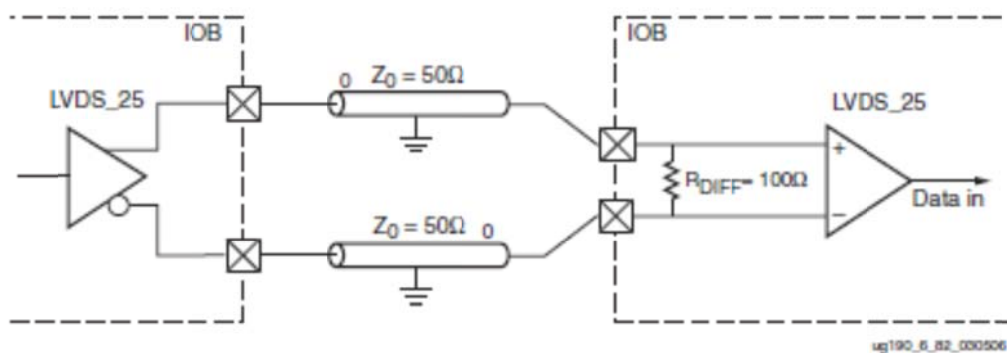
Figuur 22: Impressie Lay-out "Fast Prototyping"-board

6.5.2 Differentiële lijnen, reflecties en terminatie

Het "Fast Prototyping"-board bevat een groot aantal differentiële en tijd-kritische signalen. Bij het lay-outen is het van essentieel belang dat deze lijnen worden gerouteerd volgens de eisen van een differentiële pad, dat wil zeggen dat de weerstand van deze lijn 50 Ohm bedraagt en dat deze op de juiste wijze wordt getermineerd met 100 Ohm.

De Xilinx Virtex 5 bevat voor differentiële lijnen een mogelijkheid voor interne terminatie. Dit heeft als voordeel dat de terminatie zich echt aan het einde van het signaalpad bevindt, en het scheelt een extra component op het board.

Onderstaand schema geeft aan waar de lay-outer rekening mee dient te houden. De impedantie van het pad dient 50 Ohm te bedragen. Bij het programmeren van de firmware dient voor alle differentiële lijnen de terminatie te worden geactiveerd.



Figuur 23: differentiële lijnen met interne terminatie (Virtex 5 datasheet)

6.5.3 Review van de Lay-out

Na het maken van de lay-out volgt ook weer een review van deze lay-out. Tijdens deze review worden alle aangepaste signalen van en naar de FPGA gecontroleerd, omdat deze tijdens het lay-outen van positie kunnen veranderen (Pin Swapping). Alle andere signalen en componenten worden gecontroleerd door middel van een Design Rule Check (DRC). Dit is een geautomatiseerde controle van de plaatsing van de componenten en de kwaliteit van de geroute signalen.

Een impressie van de resultaten van de lay-out zijn te vinden in Bijlage E: Lay-out "Fast Prototyping"-board.

6.6 Productie

Het produceren van de print wordt niet gedaan binnen SRON. Vermeulen Print Service (<http://www.v-ps.com/>) produceert de print voor SRON.

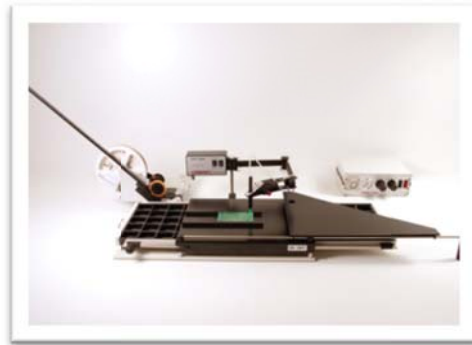
De tijd die nodig is voor het produceren van de print is afhankelijk van veel factoren, zoals onder andere de hoeveelheid orders bij de fabrikant. Voor het produceren van 1 laag (waar er voor het "Fast Prototyping"-Board 10 voor nodig zijn) is iets meer dan 1 dag nodig. De minimale productietijd komt daarbij op ongeveer 15 werkdagen, de snelst haalbare productietijd.

6.7 Assemblage

De assemblage gebeurt bij SRON. In één dag worden alle SMD-componenten geplaatst en gesoldeerd met behulp van een reflow-oven.

Het plaatsen van de componenten gebeurt met een semiautomatische pick-and-place machine, die het mogelijk maakt om 1500 componenten in één dag te plaatsen.

Dit is tevens het maximaal aantal SMD componenten wat bij SRON op een print kan worden geplaatst, omdat een print binnen een dag door een reflow-oven moet worden gehaald.



pick-and-place
machine

Voor en na het reflow proces zal de print worden gecontroleerd middels een AOI om fouten vroegtijdig te kunnen detecteren. Meer over een AOI in paragraaf 7.3.1

Alle through-hole componenten worden in een vervolgstap met de hand geplaatst en gesoldeerd. Bij de assemblage dienen een aantal componenten *niet* te worden geplaatst ten behoeve van de "Board Level Test", zoals beschreven in hoofdstuk 7. Deze componenten worden na het succesvol testen met de hand geplaatst en gesoldeerd.

7. Testen

Een belangrijk deel van het ontwerp is het testen van het prototype. Door deze tests gestructureerd uit te voeren kan er eenvoudiger getest worden en kunnen eventuele fouten sneller worden opgespoord en kunnen deze worden verbeterd in een toekomstige revisie van het board. In dit hoofdstuk wordt ingegaan op de manier van testen van het "Fast Prototyping"-board.

Het "Fast Prototyping"-Board dient op twee niveaus getest te worden. Het eerste niveau is een hardware-matige test, een zogenaamde "Board Level Test" (BLT). Het tweede niveau is een test van alle interfaces, waarbij het van essentieel belang is dat deze worden aangestuurd vanuit de FPGA.

Binnen SRON is er geen procedure beschikbaar voor het doen van een Board Level Test. Ook is er tot op heden geen algemene (voorbeeld-) procedure te vinden op het internet. Daarom is er op basis van enkele beschrijvende documenten van andere Board-tests een procedure geschreven voor het testen van het "Fast Prototyping"-Board. De opzet van het document is zo gekozen dat dit in toekomstige projecten als voorbeeld zou kunnen dienen.

Het test-document is te vinden in *Bijlage I: Board Level Test document* bij dit verslag, en wordt kort beschreven in de volgende paragrafen.

7.1 Testbeschrijving

Voor het testen van het "Fast Prototyping"-Board is er een uitgebreide beschrijving gemaakt met daarin opgenomen:

- Berekende specificaties
- Beschrijving van de controle LED's
- Beschrijving van de testpinnen
- Beschrijving van de tests in chronologische volgorde
- Een lijst met modificaties aan het board om deze werkend te krijgen
- Een lijst met mogelijke design updates voor een toekomstige revisie van het board.

7.2 Testmiddelen

Om het board te testen zijn de volgende middelen nodig. Afhankelijk van de uitkomsten van een test zal wellicht andere apparatuur noodzakelijk zijn. Dit kan tijdens de tests worden bepaald.

- Voeding met stroom en spanningsbegrenzing
- Oscilloscoop
- FMC testboard
- PC met communicatiemiddelen gelijk aan het "Fast Prototyping"-board
- Firmware voor de FPGA
- Software voor de FPGA core

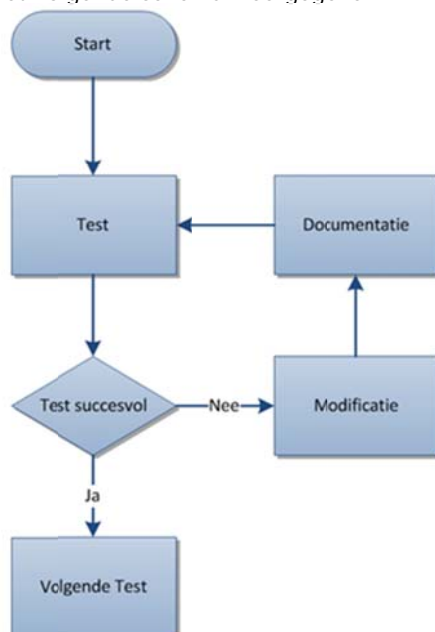
7.3 Uitvoering van de tests

In de testbeschrijving is in chronologische volgorde aangegeven hoe het bord voor de eerste maal moet worden opgestart. Hierbij is gekozen voor een aanpak waarbij de kans op beschadiging van het board of specifieke componenten zoals een FPGA, zo klein mogelijk is.

De tests zullen in de volgende volgorde worden aangepakt. De uitvoering van deze tests worden in de volgende paragrafen beschreven:

- Automated Optical Inspection
- Power up van de voedingscircuits
- Plaatsing van resterende componenten
- Power up van het volledige board
- Interface tests

Bij elke test zal een evaluatie plaatsvinden of alle geteste onderdelen voldoen aan de vooraf gestelde eisen. Er zal dan bepaald moeten worden of de eisen moeten worden bijgesteld, of dat er aanpassingen dienen te worden gedaan aan het board. In het laatste geval zal dit vóór het continueren van de tests moeten worden gedaan. Dit proces, wat zich voor elke stap herhaalt is in het volgende schema weergegeven:



ntie

7.3.1 Automated Optical Inspection

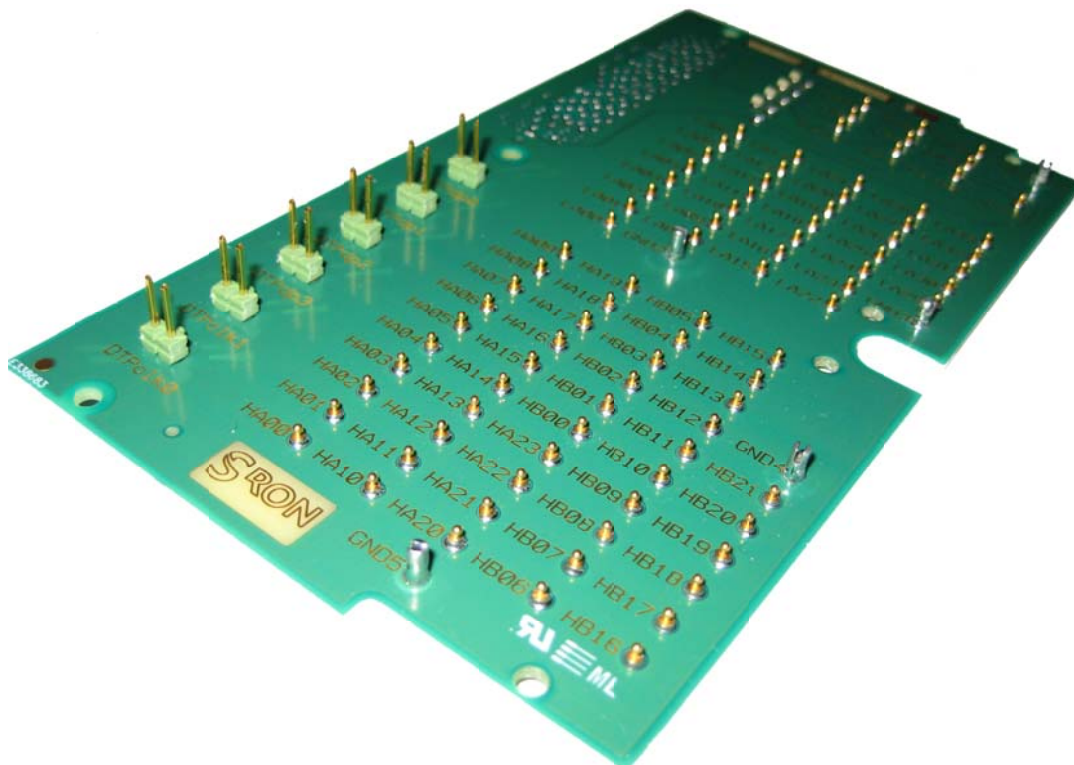
Automated Optical Inspection (AOI) is een automatisch systeem om het geassembleerde bord te controleren op fouten. SRON maakt gebruik van een SAKI AOI die met behulp van verschillende algoritmes controles uitvoert van het board. Het board wordt door een lineaire hoge resolutie scanner volledig gescand, waarna het beeld wordt gecontroleerd aan de hand van de schema's en lay-out van het board.



De componenten en het board worden gecontroleerd op onder andere:

- XY-Positie en rotatie van de componenten
- Kwaliteit van de soldeerverbindingen
- Kortsluitingen
- Polariteit
- Waardes van de componenten (bijv. weerstandswaardes en IC types)
- Beschadigingen en onregelmatigheden

Het resultaat van deze tests van het FMC testbord is te vinden in *Bijlage K: Automated Optical Inspection Report*



Figuur 26: Geassembleerde FMC Testboard

7.3.2 Board Power up

Een aantal componenten dienen bij assemblage *niet* te worden geplaatst. Op deze manier kunnen de voedingen van het board worden getest zonder daadwerkelijk het hele board te voorzien van spanning. In de testbeschrijving staat welke componenten niet geplaatst dienen te worden, en welke metingen gedaan moeten worden alvorens verder te gaan met het plaatsen van deze componenten.

De metingen die verricht zullen worden tijdens de eerste power up van het board zijn in de volgende tabel weergegeven:

Parameter	Expected value
TP1010	Power supply minus +/-0.7V
TP1001	3.3V
TP1011	Power supply minus +/-0.7V
TP1003	5.0V
D1008	Green Light
TP1012	Power supply minus +/-0.7V
TP1005	5.0V
D1011	Green Light
TP1014	Power supply minus +/-0.7V
TP1008	12.0V
D1012	Green Light
TP1015	Power supply minus +/-0.7V
TP1009	-12.0V
D1010	Green Light
TP1013	Power supply minus +/-0.7V
TP1007	5.0V

Tabel 1: Testparameters power up

In deze tabel staat bij Parameter aangegeven wáár een bepaalde waarde wordt verwacht. TP staat voor testpunt, waar met behulp van een multimeter of oscilloscoop kan worden gemeten. Daarnaast is het board voorzien van de nodige indicatie LED's, die zijn genummerd beginnend met een 'D'. Deze geven een ruwe indicatie van de werking van het board.

Voldoen deze te meten waardes aan de gestelde voorwaarden, dan pas kan verder worden gegaan met de tests.

7.3.3 Interface tests

Na het succesvol afronden van de voorgaande testen, kan het hele board worden voorzien van spanning. Daarna is het van belang dat er firmware voor de FPGA beschikbaar is waarmee de communicatiemiddelen op het board getest kunnen worden. In de testbeschrijving staat weergegeven welke firmware moet worden geschreven om bepaalde delen van het board te testen. De volgende interfaces zullen in willekeurige volgorde moeten worden getest:

Parameter
JTAG Faceplate
JTAG Motherboard
Status LED
Failure LED
RS422
RS485
Ethernet
Optical Ethernet
SpaceWire
FMC IO
FMC GBT (RocketIO)
FMC JTAG
FMC Clock
Housekeeping
Backplane JTAG
Backplane IO
Backplane GBT (RocketIO)

Tabel 2: Testparameters interfaces

Wanneer in ieder geval één van de communicatiemiddelen werkt, kan ook de FMC-interface worden getest met behulp van een FMC-testbord, wat speciaal voor het "Fast Prototyping"-board is gemaakt. Het testbord bevat een groot aantal testpinnen voor het handmatig kunnen controleren van de signalen.

Tevens zijn alle signalen doorgelust, zodat de FPGA een self-test kan uitvoeren op het board. De uitkomst van deze test kan via de beschikbare communicatie-interface worden uitgevoerd.

7.4 Verwerking van de testresultaten

De resultaten van de tests zullen worden opgenomen in het "Board Level Test"-document, zodat op een later tijdstip terug is te vinden welke fouten verbeterd moeten worden en welke eventuele modificaties aan het board gewenst zijn.

In de modificaties is onderscheid te maken in twee verschillende soorten. Ten eerste de modificaties die gedaan zijn omdat er productiefouten zijn opgetreden. Ten tweede de modificaties omdat er ontwerpfouten zijn gemaakt.

In het geval van productiefouten is de kans klein dat dit in toekomstige boards weer zal gebeuren, en vereist hoogstwaarschijnlijk geen actie om herhaling in de toekomst te voorkomen.

In het geval van ontwerpfouten dienen er aanpassingen te worden gemaakt in het ontwerp van het board. Dit vereist modificaties aan het board zelf om deze werkend te krijgen. Voor toekomstige boards dient dezelfde fout voorkomen te worden door de schema's en de lay-out aan te passen.

8. Resultaten

De resultaten van dit project bestaan uit een aantal verschillende producten. De volgende paragrafen bieden een overzicht van de opgeleverde producten en de daarbij behaalde resultaten.

8.1 Opgeleverde producten

Naar aanleiding van dit project zijn de volgende producten opgeleverd:

- Verslag van het hele project met de totstandkoming van de producten
- Schema's "Fast Prototyping"-board
- Schema's FMC Testboard
- Design Description "Fast Prototyping"-board
- "Board Level Test"-document
- "Fast Prototyping"-Board
- FMC testboard

8.2 Resultaten met betrekking tot de eisen en wensen

Met het "Fast Prototyping"-board is voldaan aan de eisen en wensen die gesteld zijn in het "System Requirements"-document. Daarnaast zijn er aanvullende eisen boven tafel gekomen gedurende het ontwerpproces, die ook in het board zijn verwerkt. Daarbij kan worden gedacht aan bijvoorbeeld de toevoeging van de SpaceWire interface.

8.3 Resultaten met betrekking tot de schema's

Vooraf is in het plan van aanpak gesteld dat er schema's en een bijbehorende design beschrijving van het "Fast Prototyping"-board dienen te worden opgeleverd. Daarnaast is ten behoeve van het kunnen testen van het "Fast Prototyping"-board een FMC testboard ontwikkeld.

De resultaten van deze onderdelen zijn als bijlage bij het verslag gevoegd, te weten als:

- *Bijlage C: "Fast Prototyping" Design Description*
- *Bijlage D: Schema's "Fast Prototyping"-board*
- *Bijlage F: Schema's SRON FMC Testboard*

8.4 Resultaten met betrekking tot de lay-out

Naast de nodige schema's is vooraf in het plan van aanpak gesteld dat er van het "Fast Prototyping"-board een lay-out dient te worden opgeleverd. Naast deze lay-out is er ten behoeve van het testen van het "Fast Prototyping"-board een lay-out ontwikkeld van een FMC testboard.

Impressies van de resultaten van de lay-out zijn als bijlage bij het verslag gevoegd, te weten als:

- *Bijlage E: Lay-out "Fast Prototyping"-board*
- *Bijlage G: Lay-out SRON FMC Testboard*

9. Conclusies en Aanbevelingen

Het "Fast Prototyping"-project kent conclusies en aanbevelingen die betrekking hebben op het ontwerp en het ontwerpproces.

9.1 Conclusies

Aan de behoefte van SRON om een eigen "Fast Prototyping"-board te hebben is met deze opdracht voldaan. Het "Fast Prototyping"-board biedt legio mogelijkheden voor communicatie met het board, het biedt ruimte voor een uitbreidingskaart in de vorm van een FMC board volgens de FMC standaard, en het board heeft de mogelijkheid om in een backplane te worden geplaatst voor samenwerking met meerdere andere boards.

9.1.1 Conclusies met betrekking tot het ontwerp

Dit project heeft de volgende producten opgeleverd:

- Verslag van het hele project met de totstandkoming van de producten
- Schema's "Fast Prototyping"-board
- Schema's FMC Testboard
- Design Description "Fast Prototyping"-board
- "Board Level Test"-document
- "Fast Prototyping"-Board
- FMC testboard

In alle producten zijn de eisen en wensen van SRON verwerkt met betrekking tot het "Fast Prototyping"-board. Daarnaast zijn er extra producten opgeleverd om de kwaliteit van het board te testen, om toekomstige revisies van dit board waar nodig te kunnen verbeteren.

9.1.2 Conclusies met betrekking tot het ontwerpproces

Het ontwerpproces is in een krappe tijdsplanning goed verlopen. Er is voldoende tijd uitgetrokken voor het ontwerpen van schema's, en voor de reviews van de verschillende versies. Er kon over het algemeen voldoende informatie gevonden worden over projecten uit het verleden die een basis hebben geboden voor het "Fast Prototyping"-board.

9.2 Aanbevelingen

Dit project kent op twee vlakken aanbevelingen. Ten eerste aanbevelingen met betrekking tot het ontwerp van het "Fast Prototyping"-board, en de daarbij behorende onderdelen. Ten tweede aanbevelingen met betrekking tot het ontwerpproces, waarbij vanuit het perspectief van deze opdracht is teruggekeken.

9.2.1 Verbeterpunten in het ontwerp

Het "Fast Prototyping"-board is een prototype board, zoveel mogelijk conform de FMC standaard. De FMC standaard is specifiek over het gebruik van de verschillende voedingen *naar* het zusterbord, en over de verschillende voedingen van de *banks* op de FPGA. In een revisie van het board kan nog eens zorgvuldig worden gekeken of het "Fast Prototyping"-board voorzien kan worden van een volledige automatische voeding van deze variabele spanningen.

9.2.2 Verbeterpunten in het ontwerpproces

Tijdens het ontwerpproces is naar voren gekomen wat eventueel kan worden gedaan om een toekomstig proces als dit te stroomlijnen. Hierbij valt te denken aan:

Het maken van standaarden voor de volgende type documenten:

- Board Level Test
- Design Description

Het standaardiseren van de schema's met betrekking tot de:

- Standaard blokken voor bijvoorbeeld de communicatiemiddelen
- Vereenvoudiging van de naamgeving van de verschillende blokken in een schema

Het structureren en beschrijven van procedures met betrekking tot:

- Het complete ontwerpproces, waarbij het V-model als leidraad zou kunnen dienen
- Het reviewproces

Om in de toekomst eenvoudiger documenten te kunnen raadplegen en doorzoeken, is een bij SRON passend document beheersysteem een welkome optie.

9.3 Betekenis en waardering van het product binnen de organisatie

Het "Fast Prototyping"-board biedt een platform voor het testen van toekomstige prototypes. Een aantal projecten bij SRON komen in aanmerking om met behulp van dit board ideeën te testen.

Enkele van de projecten die zijn genoemd zijn bijvoorbeeld:

- Filter Wheel Control Unit
- KID (Kinetic Inductance Detector)
- TEI's (Test Equipment Interface)

Over de toepassing voor de TEI's wordt op dit moment al structureel nagedacht. Zo kan de zogenaamde "Test Equipment" worden aangestuurd met behulp van SRON's EGSE-software via de ethernet interface, terwijl de FPGA alle data verwerkt die van de interface met de TEI komt die op een zusterbord is geplaatst. Deze data kan dan weer met hoge snelheid via de optische gigabit ethernet interface worden verstuurd naar een computer die alle meetgegevens opslaat.

Met behulp van de backplane interface kunnen zelfs meerdere interfaces worden aangesloten die met elkaar communiceren via RS485, terwijl alle data supersnel via de RocketIO naar het "Fast Prototyping"-bord wordt verstuurd. Om snel aanpassingen te kunnen doen aan alle in het backplane geplaatste borden kunnen deze vanaf het "Fast Prototyping"-bord worden geprogrammeerd met behulp van de JTAG interface.

Voor ruimtetoepassingen kan volop worden geëxperimenteerd met de SpaceWire interface, zodat er ervaring kan worden opgedaan met dit relatief nieuwe protocol.

De waarde van het product past bij de vooraf ingeschatte behoefte. Hoe het product in de toekomst verder gebruikt gaat worden is nog niet te voorzien.

Literatuurlijst

Figuren

Figuur 1: Organisatiestructuur SRON	14
Figuur 2: V-model (Bron: Wikipedia)	17
Figuur 3: Schematische weergave werkwijze	17
Figuur 4: Schematisch overzicht eisen en wensen	20
Figuur 5: Voorbeeld	22
Figuur 6: Werking van een differentiële lijn (Bron: Wikipedia)	23
Figuur 7: voorbeeld RAM geheugen	24
Figuur 8: Voorbeeld EEPROM IC	24
Figuur 9: Voorbeeld Ethernet kabel	25
Figuur 10: Voorbeeld SpaceWire Connector (MDM9)	25
Figuur 11: Schematische weergave voeding	27
Figuur 12: Simulatiemodel LM22679	28
Figuur 13: Simulatie in- en uitgangsspanning LM 22679	28
Figuur 14: Testopstelling LM22679	29
Figuur 15: Schema testopstelling LM 22679	29
Figuur 16: FMC connector	30
Figuur 17: Schematische weergave bi-directionele clocks	30
Figuur 18: Voorbeeld schematische weergave backplane configuratie	31
Figuur 19: Blokkenstructuur schema "Fast Prototyping"-board	33
Figuur 20: Lay-out FMC testboard	34
Figuur 21: Schematische weergave indeling "Fast Prototyping"-board	35
Figuur 22: Impressie Lay-out "Fast Prototyping"-board	35
Figuur 23: differentiële lijnen met interne terminatie (Virtex 5 datasheet)	36
Figuur 24: Voorbeeld Semi-automatische Pick-and-Place machine	37
Figuur 25: Testsequentie	39

Tabellen

Tabel 1: Testparameters power up	41
Tabel 2: Testparameters interfaces	42

Overige Bronnen

- 23-08-2010 - Algemene informatie over SRON
<http://www.sron.nl/>
- 23-08-2010 – Organogram SRON
http://www.sron.nl/index.php?option=com_content&task=view&id=2198&Itemid=2002
- 24-08-2010 - FMC standaard informatie van (ANSI) VITA
<http://www.vita.com/fmc.html>
- 24-08-2010 - Algemene informatie en datasheets van de Xilinx Virtex 5
<http://www.xilinx.com/>
- 25-08-2010 - Eurokaart formaten
http://www.pcb-pool.com/ppuk/info_pcbpoolprototype.html
- 28-10-2010 - FMC standaard Xilinx
http://www.xilinx.com/products/boards_kits/fmc.htm
- 01-11-2010 - Begripsvorming voor diverse systemen
<http://www.wikipedia.org/>
- 02-11-2010 - Afbeelding ter verduidelijking van een backplane-configuratie
<http://www.omegaoptics.com/Technology%20-%20Backplane.asp>
- 03-11-22010 - Copyright wet VS
<http://www.copyright.gov/fls/fl102.html>
- 09-11-2010 - Fabrikant Automated Optical Inspection (SAKI)
http://www.sakicorp.com/eg/Products_/

Index

1

10/100 Mbit ethernet · 24
100 MHz · 31
10-laags print · 33

2

250MHz · 31

3

3,75 Gb/s · 31

A

Accumulator · 21
ADC · 30
ADC / DAC interfaces · 21
Adder · 21
adjustable voltage · 29
ANSI · 29
AOI · 39
Assemblage · 36
Automated Optical Inspection · 39

B

backplane · 30
bibliotheek · 25
BLT · 37
Board Level Test · 37
busstructuur · 23

D

DAC · 30
Design Description · 33
Design Rule Check · 35
Differentiële lijnen · 30
DRC · 35
DSP slices · 21
dubbele eurokaart · 34
DXdesigner · 18

E

Earth and Planetary Science · 14
ED · 14
EEPROM · 23
Electrically Erasable Programmable Read-Only Memory · 23
Engineering Division · 14
EPS · 14
Expedition · 18

F

Flash geheugen · 23
FlipFlops · 21
FMC · 20, 29
FMC test module · 20, 21
fout-tolerant · 24
FPGA Mezzanine Card · 20

G

Gigabit interfaces · 21

H

HEA · 14
High Pin Count · 20
High-Energy Astrophysics · 14
HPC · 20

I

I2C · 29
IEEE 1149.1 · 24
IEEE 802.3 · 24
intern geheugen · 23
IOdesigner · 18, 33

J

Joint Test Action Group · 24
JTAG · 24, 29, 31

L

Lay-out · 33
LEA · 13
LEON3 · 31
Linux embedded software · 31
Low Pin Count · 20
Low-Energy Astrophysics · 13
LPC · 20
LUT's · 21
LVDS · 30
LVTTTL · 30

M

Mentor Graphics · 18
multiplier · 21

N

Netherlands Institute for Space Research · 13

O

ontwerpkeuzes · 25

P

pick-and-place · 36
Pin Swapping · 35
productietijd · 35

R

RAM · 23
Random-Access Memory · 23
reflecties · 22
reflow-oven · 36
Review · 33
RocketIO · 21, 29, 31
RS422 · 23
RS485 · 23

S

self-test · 41
Sensor Research and Technology · 14
serieel communicatieprotocol · 23
signaalintegriteit · 22
Single ended · 30
Space Qualified · 21, 22
Spacewire · 24
SR&T · 14
SRON · 13

T

Terminatie · 22
transmissiesnelheden · 21

U

user IO's · 33

V

Vermeulen Print Service · 35
Virtex 5VSX50T · 21
Virtex-5 slices · 21
Voeding · 24, 26

X

Xilinx · 21

Bijlagen

De volgende bijlagen zijn op de volgende pagina's te vinden:

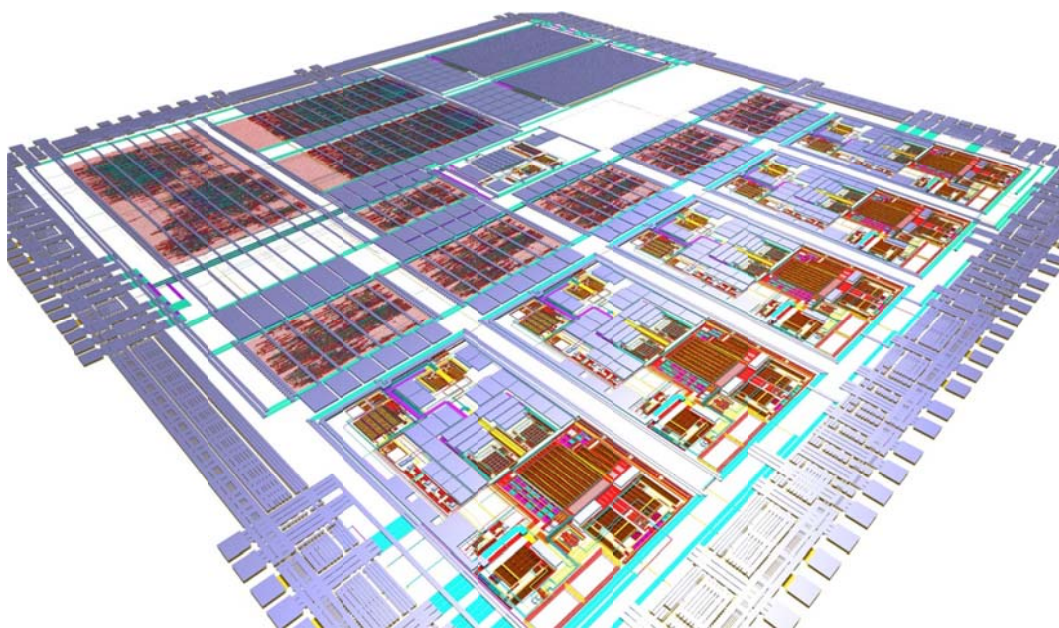
- Bijlage A: Plan van Aanpak
- Bijlage B: System Requirements Document
- Bijlage C: "Fast Prototyping" Design Description
- Bijlage D: Schema's "Fast Prototyping"-board
- Bijlage E: Lay-out "Fast Prototyping"-board
- Bijlage F: Schema's SRON FMC Testboard
- Bijlage G: Lay-out SRON FMC Testboard
- Bijlage H: ANSI FMC standaard
- Bijlage I: Board Level Test document
- Bijlage J: Blokschema voeding "Fast Prototyping"-board
- Bijlage K: Automated Optical Inspection Report
- Bijlage L: Schematisch overzicht "System Requirements"

Bijlage A: Plan van Aanpak

Plan van Aanpak

Afstudeerproject "Fast Prototyping"

SRON – Netherlands Institute for Space Research



Periode:	Augustus 2010 t/m Januari 2011
Student:	Bastiaan van Weerd (s1012921)
Bedrijfsbegeleider:	Martin Grim
School:	Hogeschool Windesheim
Opleiding:	Elektrotechniek
Hoofdbegeleider:	Jolling Lodema
Tweede begeleider:	Bart Snijder

Contactgegevens

Bedrijf

Naam: SRON Netherlands Institute for Space Research
Adres: Sorbonnelaan 2
3584 CA UTRECHT
Telefoon: +31 (0)88 777 5600

Document versiebeheer

Revisie	Omschrijving	Datum
0.0	Initialisatie	25-08-2010
1.0	Voorlopige versie	30-08-2010
2.0	Volledige vernieuwde versie	16-09-2010
3.0	Update Achtergronden	15-11-2010

Inhoudsopgave

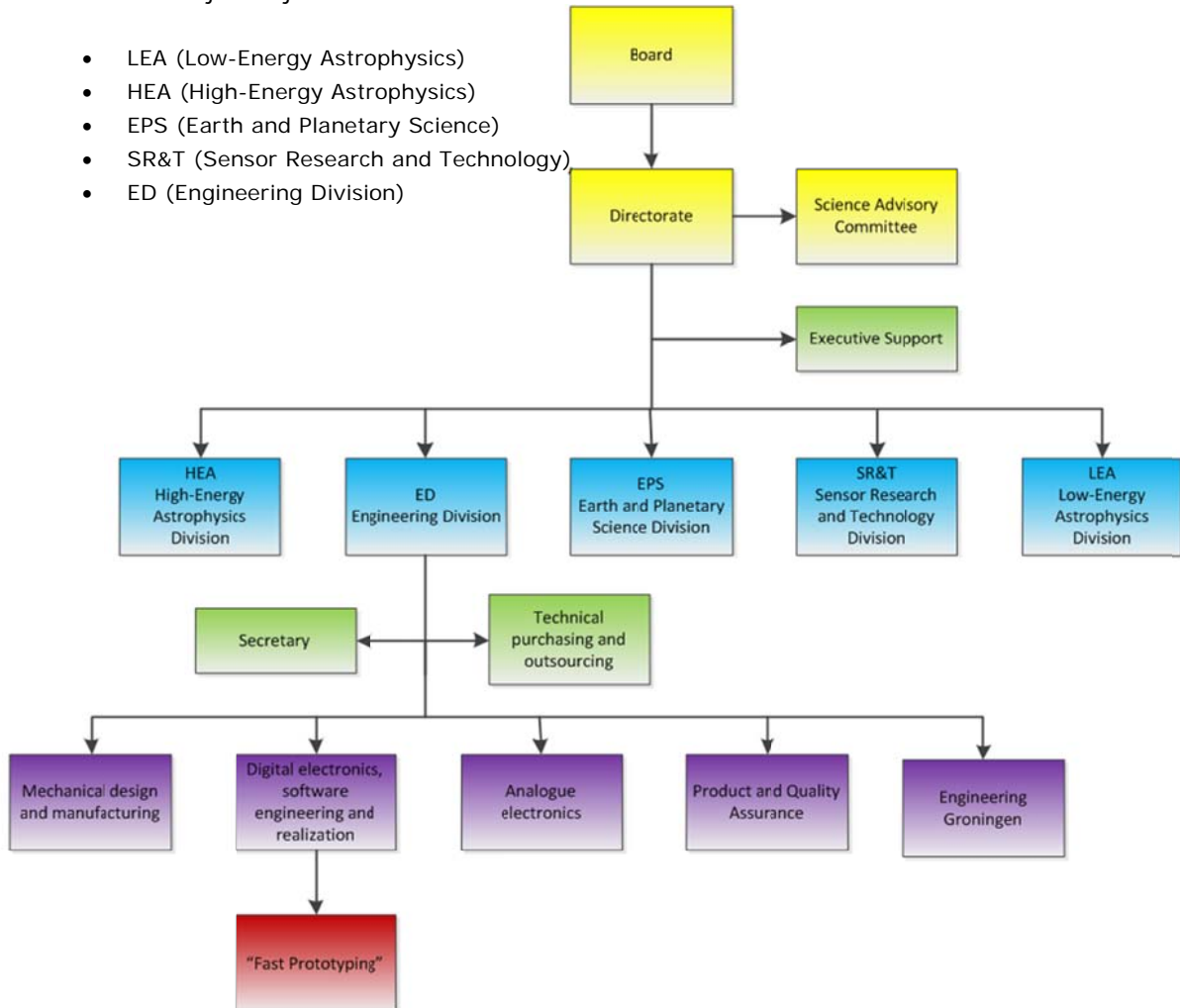
<u>Contactgegevens</u>	54
<u>Document versiebeheer</u>	55
<u>Inhoudsopgave</u>	56
<u>1. Achtergronden</u>	57
<u>2.1. Low-Energy Astrophysics (LEA)</u>	57
<u>2.2. High-Energy Astrophysics (HEA)</u>	58
<u>2.3. Earth and Planetary Science (EPS)</u>	58
<u>2.4. Sensor Research and Technology (SR&T)</u>	58
<u>2.5. Engineering Division (ED)</u>	58
<u>1. Projectopdracht</u>	59
<u>1.1. Plaats van de opdracht</u>	59
<u>1.2. Reden voor de opdracht</u>	59
<u>1.3. Doelstelling van de opdracht</u>	59
<u>2. Projectactiviteiten</u>	60
<u>2.1. Fase 1: Oriëntatie</u>	60
<u>2.2. Fase 2: Ontwerp</u>	60
<u>2.3. Fase 3: Productie</u>	60
<u>2.4. Fase 4: Testen en verbeteren</u>	60
<u>2.5. Fase 5: Verslaglegging</u>	60
<u>3. Projectgrenzen</u>	61
<u>3.1. Duur van het project</u>	61
<u>3.2. Afbakening van de grenzen</u>	61
<u>4. Producten</u>	62
<u>5. Projectplanning</u>	63
<u>5.1. Aanpak van het project</u>	64
<u>5.2. Tijdschema</u>	65
<u>5.3. Oplevering van rapporten en verslagen</u>	65
<u>6. Risicoanalyse</u>	66
<u>7. Persoonlijke Competenties</u>	67

1. Achtergronden

Netherlands Institute for Space Research (SRON) ontwikkelt en gebruikt innovatieve instrumenten voor baanbrekend astrofysisch en atmosferisch onderzoek vanuit de ruimte.

Binnen SRON zijn er vijf verschillende divisies:

- LEA (Low-Energy Astrophysics)
- HEA (High-Energy Astrophysics)
- EPS (Earth and Planetary Science)
- SR&T (Sensor Research and Technology)
- ED (Engineering Division)



4.1. Low-Energy Astrophysics (LEA)

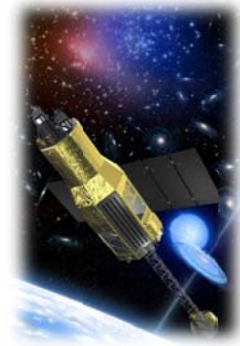
In de Low-Energy Astrophysics (LEA) worden observaties gedaan in het infrarood en sub-millimeter golflengtegebied (2,5 tot 1000 micrometer). De observaties worden gedaan vanuit vliegtuigen, ballonplatforms of met behulp van satellieten in de ruimte.

SRON heeft in de afgelopen 50 jaar vele instrumenten ontwikkeld die onderzoek doen in dit golflengtegebied, zoals Inframap, BIRAP, IRAS, ISO, Herschel-Planck en TELIS.

4.2. High-Energy Astrophysics (HEA)

High-Energy Astrophysics (HEA) doet onderzoek in het Röntgen/Gamma golflengtegebied (ongeveer 0,1 keV tot 10 GeV). Dit golflengtegebied kan alleen worden onderzocht vanuit de ruimte, omdat de aardse atmosfeer deze straling tegen houdt.

SRON is op dit moment verantwoordelijk voor de "Reflection Grating Spectrometer" (RGS) aan boord van ESA's XMM-Newton satelliet, en de Low Energy Transmission Grating (LETG) aan boord van NASA's Chandra. In de toekomst richt de HEA divisie zich op nieuwe missies zoals Astro-H en IXO.



4.3. Earth and Planetary Science (EPS)



Earth and Planetary Science (EPS) houdt zich bezig met het bestuderen van de atmosfeer van de aarde en (exo)planeten. Dit gebeurt meestal vanuit de ruimte. De instrumenten in de ruimte hebben minder last van storing door de atmosferische omstandigheden, en geven een homogener beeld.

Missies die SRON ondersteunt zijn onderzoeken naar de atmosfeer, met behulp van het SCIAMACHY-instrument aan boord van de ESA Envisat satelliet, en bijvoorbeeld onderzoek naar het gravitatie veld van de aarde. Op dit moment wordt er hard gewerkt aan TROPOMI, een instrument waarmee onderzoek kan worden gedaan naar de samenstelling van de aardse atmosfeer.

4.4. Sensor Research and Technology (SR&T)

Sensor Research and Technology (SR&T) houdt zich bezig met het ontwikkelen van sensoren voor de onderzoeken die men graag wil doen. Hierbij kan worden gedacht aan bijvoorbeeld cryogene micro-calorie meters en gemultiplexte uitlezing van sensoren.

4.5. Engineering Division (ED)

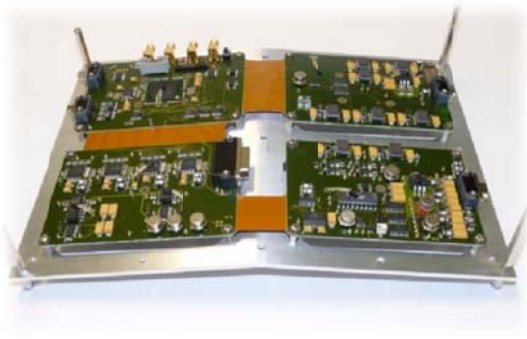
De Engineering Division ontwikkelt zelf de elektronica, mechanica en software voor allerlei verschillende ruimteonderzoeksinstrumenten. Hieronder valt bijvoorbeeld het maken van de software en hardware voor het uitlezen van de sensoren, de communicatie met de satelliet, het verwerken van data, et cetera.

De Engineering Divisie heeft meer dan zestig engineers met een breed palet aan expertises, zoals analoge en digitale elektronica, software, mechanisch design, product- en kwaliteitscontrole, et cetera. Het "Fast Prototyping"-board wordt ontwikkeld binnen de digitale sectie.



1. Projectopdracht

SRON ontwikkelt zelf haar elektronica, en maakt daarbij vaak gebruik van standaard ontwikkelboards voor het maken van prototypes. Deze ontwikkelboards zijn echter niet toegespitst op het gebruik van SRON.



Op dit moment zijn er ontwikkelboards op de markt, zoals bijvoorbeeld het DE2 board van Altera¹. Deze ontwikkelboards hebben echter niet de mogelijkheden die bij SRON worden verwacht. Zo zou men graag gebruik willen maken van een door SRON veelgebruikte FPGA, en zou het board communicatiemiddelen moeten hebben die in de ruimtevaart veel worden gebruikt. Tevens wil SRON het ontwikkelboard eenvoudig kunnen uitbreiden met een zusterboard, of

het board kunnen plaatsen in een backplane, samen met één of meerdere verschillende boards.

Op een zusterboard, of via het backplane, kunnen één of meerdere modules worden toegevoegd waarmee bijvoorbeeld meer functies aan het ontwikkelboard kunnen worden toegevoegd, zoals SpaceWire, of meerdere sensoren aansluiten door gebruik te maken van het backplane.

1.1. Plaats van de opdracht

Deze opdracht vindt plaats binnen de Analoge sectie van de Engineering Division (ED) van SRON te Utrecht.

1.2. Reden voor de opdracht

De reden voor de opdracht is de wens van SRON om een ontwikkelboard te hebben die voldoet aan de door SRON gestelde eisen, waarmee sneller prototypes kunnen worden gemaakt en getest.

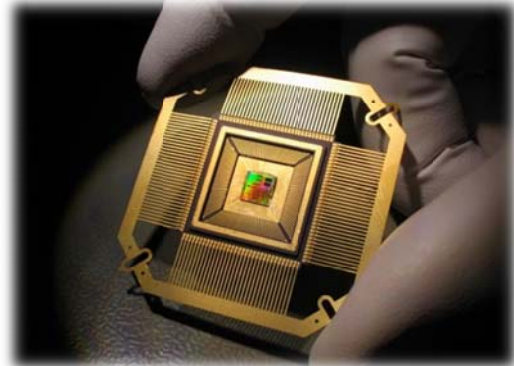
1.3. Doelstelling van de opdracht

De opdracht omvat het bedenken, ontwikkelen en maken van een "Fast Prototyping"-board, een ontwikkelboard wat voldoet aan de eisen en wensen van SRON.

¹ <http://www.altera.com/education/univ/materials/boards/unv-de2-board.html>

2. Projectactiviteiten

Dit project bestaat uit een aantal verschillende fasen. In deze verschillende fasen vinden activiteiten plaats die leiden tot de ontwikkeling van een "Fast Prototyping"-board. Door SRON zijn er voorbereidingen getroffen door een conceptplan te maken met daarin haar eisen en wensen wat betreft het "Fast Prototyping"-board. Dit "System requirements document - Digital Motherboard"-document is te vinden in de bijlage.



De verschillende fasen van dit project zijn hieronder kort beschreven

2.1. Fase 1: Oriëntatie

- Bestuderen van de SRON requirements
- Analyse van alle eisen en wensen
- (Opnieuw) Afwegingen maken van alle eisen en wensen
- Verslaglegging van de eisen en wensen

2.2. Fase 2: Ontwerp

- Ontwerpen van schema's
- Ontwerpen van de lay-out
- Verslaglegging van het ontwerp

2.3. Fase 3: Productie

- Productie van de print
- Assembleren van de print

2.4. Fase 4: Testen en verbeteren

- Testplan opstellen
- Print en ontwerp testen en verbeteren
- Verslaglegging van de testen en verbeteringen

2.5. Fase 5: Verslaglegging

- Eindrapport van bovenstaande verslaglegging voor SRON
- Afstudeerverslag voor Windesheim

3. Projectgrenzen

Dit project kent een aantal grenzen. Zo is de tijd gelimiteerd waarin het project dient te zijn afgerond.



3.1. Duur van het project

De duur van het project is 20 weken, 760 uren, met inachtneming van de verplichte vakantiedagen. De periode begint op 23 augustus 2010, en eindigt in de week van 17 januari 2011 met een afstudeerverdediging bij Hogeschool Windesheim te Zwolle

3.2. Afbakening van de grenzen

Bij het project hoort het ontwerpen en eventueel produceren en testen van het "Fast Prototyping"-board, en het schrijven van de bijbehorende documentatie. Bij het project hoort niet het ontwerpen en produceren van eventuele randapparatuur, zoals zusterboards, backplanes, voedingen, etcetera.

4. Producten

De producten die worden opgeleverd zijn:

- (1) Een onderzoeksrapport naar het "Fast Prototyping"-board inclusief schema's en layout voor het prototype van het board. Dit rapport zal onder andere schema's bevatten, een layout, een design beschrijving met onderbouwing van de keuzes die zijn gemaakt.

Wanneer er meer tijd beschikbaar is zou een extra op te leveren product kunnen zijn:

- (2) Een prototype "Fast Prototyping"-board, met testrapport en testresultaten

Daarnaast zijn er nog mogelijkheden voor een onderzoek naar zusterboards, backplane interfaces, etcetera. Dit hoort echter niet bij het project, maar zou kunnen worden onderzocht in het geval dat er voldoende tijd beschikbaar is.

5. Projectplanning



Het doel van dit project is het maken van een prototype board waarmee in de toekomst sneller kan worden ontwikkeld. De doorlooptijd van het ontwikkelen van een prototype kan zo wellicht met enkele weken tot enkele maanden worden verkort.

Dit project zal rekening moeten houden met de eisen en wensen die wellicht in de toekomst zullen ontstaan.

Daarom zal er in het ontwerp rekening gehouden worden met eventuele uitbreidingen en upgrades.

In de beginfase van het project zal er veel aandacht zijn voor de huidige eisen en wensen van SRON betreft de mogelijkheden die het "Fast Prototyping"-board zal moeten hebben. Deels is deze vraag al beantwoord door de voorbereidingen die zijn getroffen in de opdrachtomschrijving van SRON. Wel zal er veel aandacht zijn voor het hoe en waarom van de keuzes die tot nu toe zijn gemaakt.

Verder zal er onderzocht worden of de "FPGA mezzanine Card Standard" (FMC)² kan worden toegepast. Dit zou mogelijkheden bieden voor het aanvullen met bijvoorbeeld communicatiesystemen, die in toekomstige eisen en wensen naar voren kunnen komen.

Aanvullende eisen en wensen worden door middel van overleg vastgesteld.

Na deze beginfase zal een productomschrijving worden gemaakt waarin de eisen aan het board worden beschreven. Aan de hand van deze omschrijving vindt de verdere ontwikkeling plaats.

De ontwikkeling bestaat uit het onderzoeken en kiezen van componenten, en een schema en layout van het board.

² <http://www.vita.com/fmc.html>

5.1. Aanpak van het project

Het project bestaat globaal uit de volgende onderdelen:

- Overzicht maken van de eisen en wensen
- Maken van een productomschrijving
- Beschrijvend document maken van het ontwerp, inclusief planning
- Ontwerpen van schema's, kiezen van bij SRON gebruikte componenten, dan wel toevoegen van nieuwe componenten indien nodig, simulatiemodellen maken met bijv. LTspice
- Review en controle van het ontwerp en de schema's, testen met behulp van software
- Lay-outen
- Optioneel: productie van het board
- Optioneel: assembleren van het board
- Optioneel: testen van het board (testplan opstellen)

De daadwerkelijke productie van het board zal ongeveer vier weken in beslag nemen, en nog eens twee weken voor het assembleren van dit board. Mocht er tijd beschikbaar zijn voor het opleveren van een prototype van dit board (product 2, zie hoofdstuk 5 van dit document), dan dient hier in de planning zoveel mogelijk rekening mee te worden gehouden.



De periode van het afstuderen bedraagt 100 dagen, 760 uur. De periode start op 23 augustus 2010, en eindigt ongeveer half januari 2011. In principe zijn 80 dagen voor het afstudeerproject, en 20 dagen voor het afstudeerverslag.

5.2. Tijdschema

In onderstaand schema staat kort beschreven wat de planning is voor deze 20 weken.

Deze planning bestaat uit twee delen, namelijk het deel dat uitgaat van een gunstig verloop van de werkzaamheden, en een deel wat uitgaat van een minder gunstig verloop van de werkzaamheden.

In het laatste geval is het niet mogelijk om een getest board op te leveren. Echter, het opleveren van het prototype van het "Fast Prototyping"-board is optioneel.

Week	Begin	Eind	Planning gunstig	Planning ongunstig
Week 1	23-8-2010	27-8-2010	Schema's	Schema's
Week 2	30-8-2010	03-9-2010	Schema's	Schema's
Week 3	06-9-2010	10-9-2010	Schema's	Schema's
Week 4	13-9-2010	17-9-2010	Schema's	Schema's
Week 5	20-9-2010	24-9-2010	Schema's	Schema's
Week 6	27-9-2010	01-10-2010	Review Schema's	Review Schema's
Week 7	04-10-2010	08-10-2010	Lay-out	Review Schema's
Week 8	11-10-2010	15-10-2010	Lay-out	Lay-out
Week 9	18-10-2010	22-10-2010	Review Lay-out	Lay-out
Week 10	25-10-2010	29-10-2010	Productie + Inkoop	Lay-out
Week 11	01-11-2010	05-11-2010	Productie + Inkoop	Lay-out
Week 12	08-11-2010	12-11-2010	Productie + Inkoop	Review Lay-out
Week 13	15-11-2010	19-11-2010	Assemblage	Productie + Inkoop
Week 14	22-11-2010	26-11-2010	Board Test	Productie + Inkoop
Week 15	29-11-2010	03-12-2010	Board Test	Productie + Inkoop
Week 16	06-12-2010	10-12-2010	Board Test	Productie + Inkoop
Week 17	13-12-2010	17-12-2010	Reserve	Productie + Inkoop
Week 18	20-12-2010	24-12-2010	Reserve	Assemblage
Week 19	27-12-2010	31-12-2010	Verplicht vakantie	Verplicht vakantie
Week 20	03-1-2011	07-1-2011	Verslaglegging	Verslaglegging
Week 21	10-1-2011	14-1-2011	Geen werkweek / afr. AP	Geen werkweek / afr. AP
Week 22	17-1-2011	21-1-2011	Geen werkweek / afr. AP	Geen werkweek / afr. AP

5.3. Oplevering van rapporten en verslagen

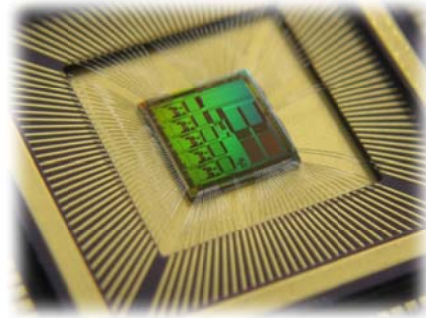
In de volgende weken dienen de volgende rapporten te worden ingeleverd:

Week 3	Oplevering definitieve versie projectplan
Week 13	Oplevering concept afstudeerverslag
Week 16	Oplevering definitief afstudeerverslag

6. Risicoanalyse

In het geval dat de ontwikkeling van het board meer tijd kost dan er ruimte is in dit afstudeeronderzoek, is voor SRON de oplevering van het onderzoek en het ontwerp van het board voldoende.

Wanneer voor het ontwikkelen van het board bijvoorbeeld niet genoeg financiën beschikbaar zijn, dan is de oplevering van het onderzoek en het ontwerp van het board voldoende.



7. Persoonlijke Competenties

Intentioneel leeg gelaten

Bijlage B: System Requirements Document

 SRON	Requirements Digital Mother Board	Doc no: Issue: 0.3 Date: August 18 th , 2010 Page: 69 of 159
Fast Prototyping		

Title **System Requirements Document
Digital Mother Board**

Prepared by : Martin Grim

Date : July 16th, 2010

Checked by : Rob Wolfs

Date : August 18th, 2010

Agreed by :

Date :

Authorised by :

Date :

Distribution

	Requirements Digital Mother Board	Doc no: Issue: 0.3 Date: August 18 th , 2010 Page: 70 of 159
Fast Prototyping		

Document Change Record

Issue	Date	Changed Section	Description of Change
0.1	July 16 th , 2010		Initial version
0.2	August 9 th , 2010		Minor additions
0.3	August 18 th , 2010		Minor additions

 SRON	Requirements Digital Mother Board	Doc no: Issue: 0.3 Date: August 18 th , 2010 Page: 71 of 159
Fast Prototyping		

Table of contents

<u>1</u>	<u>DOCUMENTS</u>	72
1.1	<u>APPLICABLE DOCUMENTS</u>	72
1.2	<u>REFERENCED DOCUMENTS</u>	72
1.3	<u>ABBREVIATIONS</u>	72
<u>2</u>	<u>INTRODUCTION</u>	73
<u>3</u>	<u>GENERAL</u>	74
<u>4</u>	<u>INTERFACES</u>	75
4.1	<u>COMPUTER – BOARD INTERFACES</u>	75
4.2	<u>BOARD – BACKPLANE INTERFACES</u>	75
4.3	<u>BOARD – SISTER BOARD INTERFACES</u>	76
4.4	<u>POWER INTERFACES</u>	77
<u>5</u>	<u>MECHANICAL</u>	78

DOCUMENTS

1.1 Applicable documents

	Document number	Issue	Date	Document title
AD01				

1.2 Referenced documents

	Document number	Issue	Date	Document title
RD01				

Abbreviations

ADC	Analogue to Digital Converter
DAC	Digital to Analogue Converter
EGSE	Electronic Ground Support Equipment
FPGA	Field Programmable Gate Array
SRON	SRON Netherlands Institute for Space Research

INTRODUCTION

With the Fast Prototyping project a hardware platform is to be designed allowing for faster prototyping and faster development, especially for the design phase of future (space) projects. This hardware platform will be developed in the scope of a bachelor thesis.

This document describes the requirements for the hardware platform. The given set of requirements is based on the experiences of past and present projects, as well as the ideas which currently exist for future (space) projects. Most likely, the list with requirements is not complete but it shall serve as a starting point in the design.

Note that the requirements given here are for the "mother board" of the fast prototyping concept.

This document holds requirements and optional requirements. These can be distinguished by their numbering: the requirements start with **R-** and the optional requirements start with **O-**. Note that the optional requirements are not meant as "gold plating" or just "nice to have", but as highly desired.

GENERAL

R-GEN-010 FPGA

The FPGA to be used shall be a Xilinx Virtex 5.

Note: This FPGA is used in older projects aswell, which allows reuse.

R-GEN-020 FPGA ROM

The board shall have at least XXX (**tbc**) ROM memory for the firmware.

R-GEN-030 ROM memory

The board shall have at least XXX (**tbc**) flashable ROM memory for the software.

R-GEN-040 RAM memory

The board shall have at least XXX (**tbc**) RAM memory.

Note: This twice the amount of memory on the DASP-Odelco digital board.

R-GEN-050 EPROM memory

The board shall have an EPROM for manufacturing information.

R-GEN-060 Housekeeping ADC

The board shall have at least one housekeeping ADC to check all voltages and at least one temperature.

INTERFACES

Computer – board interfaces

R-ITF-010	RS422
	The board shall have an RS422 interface, mounted at the face plate.
Note:	This interface is to be used as console for the embedded software.
R-ITF-020	Twisted pair Ethernet
	The board shall have a twisted pair ethernet interface including connection LEDs, mounted at the face plate.
Note:	This interface is to be used as commanding interface.
R-ITF-030	Optic gigabit Ethernet
	The board shall have an optic gigabit ethernet interface, mounted at the face plate.
Note:	This interface is to be used as high speed (science data) interface.
R-ITF-040	LEDs
	The board shall have at least three LEDs, mounted at the face plate:
	<ul style="list-style-type: none"> • green: to be used as power on indication (set by hardware) • red: to be used as failure indication (set by firmware/software) • yellow: to be used as status indication (set by firmware/software)
R-ITF-050	JTAG
	The board shall have one JTAG interface, mounted at the face plate.
Note:	This JTAG interface is to be used to program the FPGA.

Board – backplane interfaces

R-ITF-110	High speed data interface
	The board shall have a number of high speed data interfaces towards the backplane connector. The number of HSD interfaces shall be determined by the number of rocket IOs of the FPGA which can be used for this purpose.
Note:	Most likely, one rocket IO will be used for the GbE interface and one rocket IO will be used for the HSD interface to and from the sister board.
R-ITF-120	Low speed multi drop serial interface
	The board shall have a low speed multi drop serial interface (RS485) towards the backplane connector.
Note:	This interface is to be used as command and control interface to the remote boards in the cabinet.
O-ITF-130	SPI
	The board could have an SPI interface towards the backplane connector.
Note:	This interface could to be used as command and control interface to the remote boards in the cabinet. RS485 is chosen as it functions as a multi drop

bus, with all control by the master. The DBS system currently uses such an SPI interface for this. If DBS could use RS485 (and the current commanding protocol), this SPI interface is void. Else, it should be investigated if this SPI interface can run over the GPIO interface (see R-ITF-210).

R-ITF-140

General Purpose IO

The board shall have a 16 pins GPIO interface towards the backplane connector.

Note: This interface is to be used as addition control interface to the remote boards in the cabinet. These pins can be used for sensing the slot identifier (as given on the backplane), sensing the precense of the remote boards, resetting the remote boards, and so on.

R-ITF-150

JTAG interface

The board shall have a JTAG interface towards the backplane connector.

Note: This interface is to be used for in-system programming of the FPGA(s) of other boards in the rack. This could require multiple point-to-point JTAG interface or a kind of broadcast JTAG in which the target board is selected via GPIO.

It must be noted also that it might be possible to distribute the FPGA image towards an other board in the rack via the low speed command and control interface, which would require termination of such a protocol in the firmware or software of that board.

R-ITF-160

Synchronization interface

The board shall have a stable 100 MHz clock interface towards the backplane connector.

Note: This clock is to be used by the remote boards for synchronization/clocking.

Board – sister board interfaces

R-ITF-210

High speed data interface

The board shall have one high speed data interfaces towards the sister connector. The rocket IO of the FPGA shall be used for this purpose.

R-ITF-220

Low speed data interface

The board shall have one 16 bit full duplex low speed data interface (LVDS) towards the sister connector.

O-ITF-230

SPI interface

The board could have an SPI interface towards the sister connector.

Note: See the additional remarks with O-ITF-13. The SPI interface for the sister connector is even less important. It is added here to have an identical interface set to the sister board as is defined for the boards attached to the backplane.

R-ITF-240

General Purpose IO

The board shall have a 16 pins GPIO interface towards the sister connector.

Note: This interface is to be used as addition control interface to the boards in the cabinet. These pins can be used for sensing the presence of the board, reading its identifier, resetting the board, and so on.

R-ITF-250

JTAG interface

The board shall have a JTAG interface towards the sister connector.

Note: This JTAG interface will be used for in-sysem programming of the FPGA on the sister board.

R-ITF-260 Synchronization interface

The board shall have a stable 100 MHz clock interface towards the sister connector.

Note: This clock is to be used by the sister boards for synchronization/clocking.

Power interfaces

R-ITF-310 Board power interface

The board shall have a power interface on the face plate. This power connector shall have:

- +/- 10 Volt
- +5 Volt
- 0 Volt (ground, possible multi pin)

R-ITF-320 Sister board power interface

The board shall have a power connector towards the sister board. This power connector shall supply:

- +/- 10 Volt
- +5 Volt
- +3,3 Volt
- +2,5 Volt
- +0,5 Volt — +2,5 Volt (adjustable)
- 0 Volt (ground, possible multi pin)

MECHANICAL

- R-MCH-010** Board size
The board size shall be double eurocard, which is 233.4 by 160.0 mm.
- R-MCH-020** Cabinet
The board shall fit in a 19"-cabinet, including latches and face plate.
- R-MCH-020** Face plate
The board shall support a face plate, including connector and LED openings.
- R-MCH-040** Backplane insertion
The board shall be insertable into a backplane.
- Note: The interface description for this backplane connection is given in **XXX**.
- R-MCH-050** Sister socket
The board shall have means to connect a sister board via a sister socket.
- Note: Effectively, this sister socket can be made up out of multiple connectors. Care must be taken that all connectors are of the same height.

Bijlage C: "Fast Prototyping" Design Description

<u>3. GENERAL</u>	83
<u>R-GEN-010</u> <u>FPGA</u>	83
<u>R-GEN-020</u> <u>FPGA ROM</u>	83
<u>R-GEN-030</u> <u>ROM MEMORY</u>	84
<u>R-GEN-040</u> <u>RAM MEMORY</u>	85
<u>R-GEN-050</u> <u>EEPROM MEMORY</u>	86
<u>R-GEN-060</u> <u>HOUSEKEEPING</u>	87
<u>4.1 FACE PLATE INTERFACES</u>	88
<u>R-ITF-010</u> <u>RS422</u>	88
<u>R-ITF-020</u> <u>TWISTED PAIR ETHERNET</u>	89
<u>R-ITF-030</u> <u>OPTICAL GIGABIT ETHERNET</u>	89
<u>R-ITF-040</u> <u>LEDs</u>	90
<u>R-ITF-050</u> <u>JTAG</u>	90
<u>R-ITF-060</u> <u>SPACE WIRE</u>	91
<u>4.2 BACKPLANE INTERFACES</u>	91
<u>R-ITF-110</u> <u>HIGH SPEED DATA INTERFACE</u>	91
<u>R-ITF-120</u> <u>RS485</u>	91
<u>O-ITF-130</u> <u>SPI</u>	92
<u>R-ITF-140</u> <u>GENERAL PURPOSE IO</u>	92
<u>R-ITF-150</u> <u>JTAG</u>	93
<u>R-ITF-160</u> <u>SYNCHRONIZATION INTERFACE</u>	93
<u>4.3 SISTER BOARD INTERFACES</u>	94
<u>R-ITF-210</u> <u>HIGH SPEED DATA INTERFACE</u>	94
<u>R-ITF-220</u> <u>LOW SPEED DATA INTERFACE</u>	94
<u>O-ITF-230</u> <u>SPI INTERFACE</u>	94
<u>R-ITF-240</u> <u>GENERAL PURPOSE IO</u>	95
<u>R-ITF-250</u> <u>JTAG INTERFACE</u>	95
<u>R-ITF-260</u> <u>SYNCHRONIZATION INTERFACE</u>	95
<u>R-ITF-270</u> <u>I2C SISTERBOARD VERSION CONTROL</u>	96
<u>4.4 POWER INTERFACES</u>	97
<u>R-ITF-310</u> <u>BOARD POWER INTERFACE</u>	97
<u>R-ITF-320</u> <u>SISTERBOARD POWER INTERFACE</u>	98
<u>5 MECHANICAL</u>	99

<u>R-MCH-010</u>	<u>BOARD SIZE</u>	99
<u>R-MCH-020</u>	<u>CABINET</u>	99
<u>R-MCH-030</u>	<u>FACE PLATE</u>	99
<u>R-MCH-040</u>	<u>BACKPLANE INSERTION</u>	99
<u>R-MCH-050</u>	<u>SISTER SOCKET</u>	100
<u>6 MISCELLANEOUS</u>		<i>Error! Bookmark not defined.</i>
<u>R-MSX-xxx</u>	<u>DESC</u>	<i>Error! Bookmark not defined.</i>
<u>R-GEN-xxx</u>	<u>DESC</u>	<i>Error! Bookmark not defined.</i>

3. GENERAL

R-GEN-010 FPGA

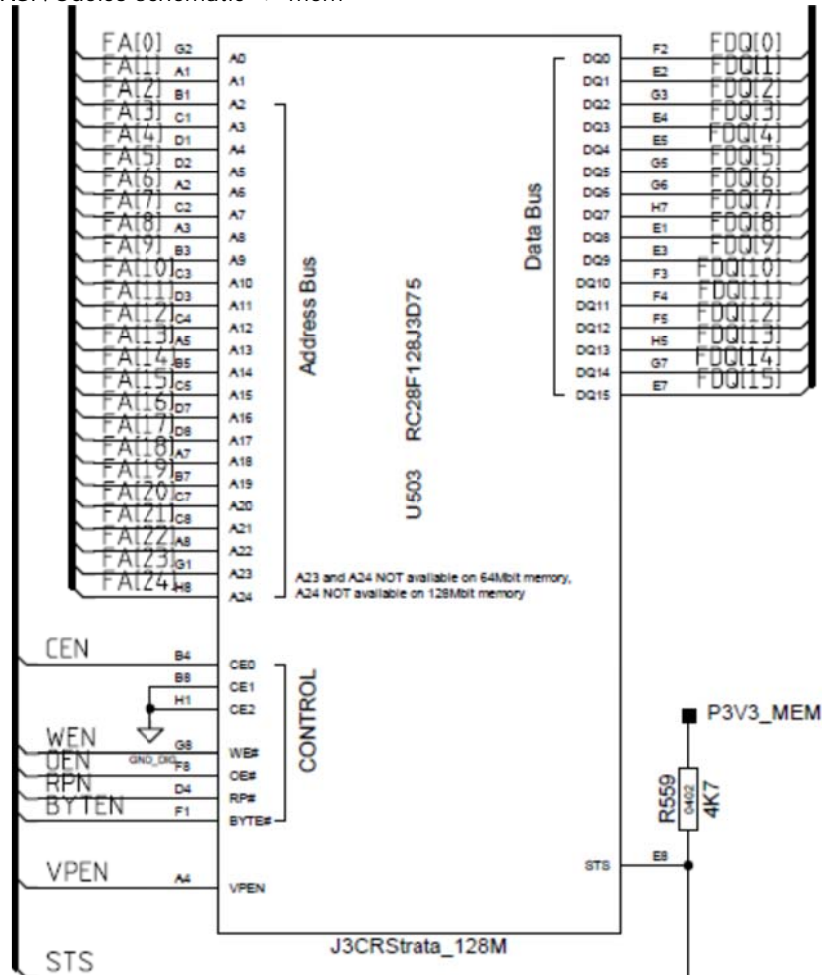
ORIGIN:
COMPONENTS: 1x VIRTEX5 5VSX50T
RESOURCES:
SPECS:
MISC:
DATE: 2010-08-31
REVIEW DATE:
TODO:
TIME NEEDED: 3 days

R-GEN-020 FPGA ROM

ORIGIN: Same as the other ROM????
COMPONENTS:
RESOURCES:
SPECS:
MISC:
DATE: 2010-08-31
REVIEW DATE:
TODO: Determine necessity of this ROM
TIME NEEDED: 0 days

R-GEN-030 ROM MEMORY

ORIGIN: DASP/Odelco schematic -> mem



COMPONENTS: 1x RC28F128J3D75

RESOURCES: http://www.numonyx.com/Documents/Datasheets/316577_J3D_Monolithic_DS.pdf
(ROM_MEMORY_001.pdf)

SPECS:

MISC: Decoupling in scheme of DASP/Odelco does not match the datasheet. New scheme is drawn according to datasheet
Decoupling standard + 1x 4.7uF

DATE: 2010-08-31

2010-09-07

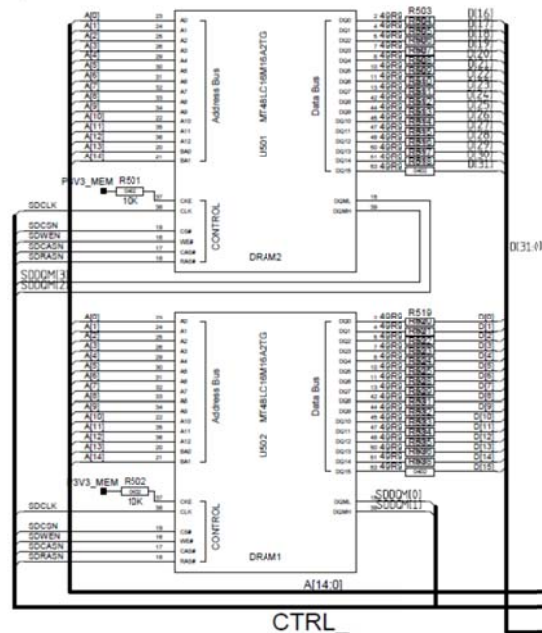
REVIEW DATE: 2010-09-10

TODO: ~~Check decoupling capacitors~~

TIME NEEDED: ~~1/2 day~~

R-GEN-040 RAM MEMORY

ORIGIN: RAM memory origin is the DASP/Odelco board. The scheme is redrawn from dasp/digital_board.prj -> mem. The 256MB module is replaced by a 512MB version, because of the requirements to implement twice the amount of memory compared to DASP/Odelco.



COMPONENTS: 2x (512MB) MT48LC32M16A2TG

2x 10k

32x 49R9

10x 220n

4x 47u tant

1x 220R at 100 MHz L

RESOURCES: http://opensimpad.org/images/9/90/MT48LC_512Meg.pdf
(RAM_MEMORY_001.pdf)

SPECS: Decoupling based on DASP/Odelco

3V3 Power Supply

MISC: WARNING: Read document about design issues DASP/Odelco about clock feedback!

DATE: 2010-08-27

2010-09-07

REVIEW DATE: 2010-09-10

TODO: ~~Change component in the drawing to the new one when available.~~

~~Add power supply scheme~~

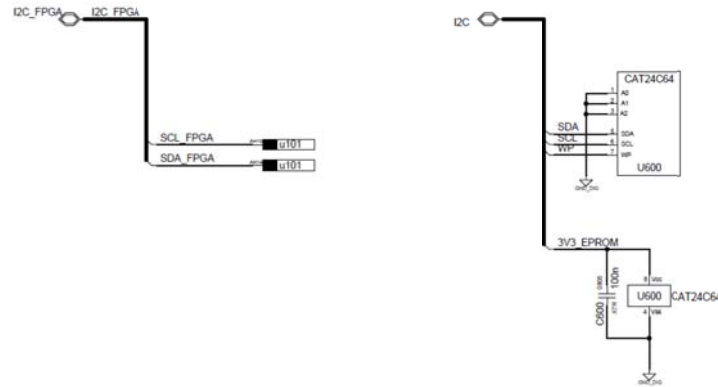
~~What to do with decoupling capacitors? Nothing mentioned in datasheet! For now, drawn like ROM memory~~

~~What to do with the inductor in the power supply?~~

TIME NEEDED: ½ day

R-GEN-050 EEPROM MEMORY

ORIGIN: EEPROM memory origin is the DASP/Odelco board. The scheme is redrawn from dasp/digital_board.prj -> EEPROM.



COMPONENTS: 1x CAT24C64 – (64kB) EEPROM

1x Decoupling capacitor 100nF

RESOURCES: <http://www.lierda.com/upload/editor/20061221/1166693078.pdf>
(EEPROM_001.pdf)

SPECS: 3V3 power supply
SDA/SCL/WP connection to FPGA
No address selection (connected to ground)

MISC: N/A

DATE: 2010-08-27

2010-09-06

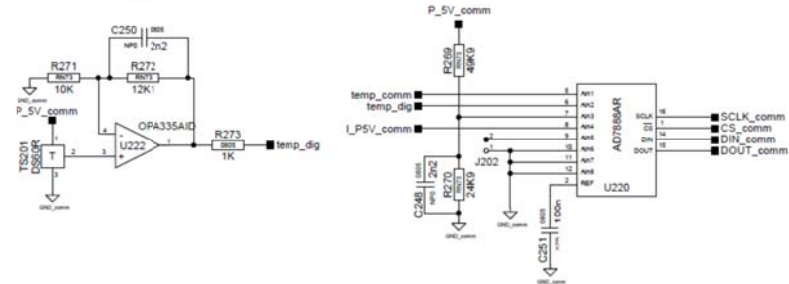
REVIEW DATE: 2010-09-10

TODO: ~~Connector?~~

TIME NEEDED: ~~1/2 day~~

R-GEN-060 HOUSEKEEPING

ORIGIN: The houskeeping ADC origin is the DASP/Odelco board. The scheme is redrawn from dasp/digital_board.prj -> odelco_communication



Housekeeping ADC on the right, Temperature sensor on the left.

COMPONENTS: Housekeeping specific:

- 1x AD7888AR
- 1x 100n

Temperature sensor specific:

- 1x OPA335AID
- 1x DS60R
- 1x 10k
- 1x 12k1
- 1x 1k

Other components depend on the amount and type of measurements, tbc.

RESOURCES: <http://pdf1.alldatasheet.com/datasheet-pdf/view/48352/AD/AD7888AR.html> (HOUSEKEEPING_001.pdf)

<http://pdf1.alldatasheet.com/datasheet-pdf/view/82523/BURR-BROWN/OPA335AID.html> (HOUSEKEEPING_002.pdf)

<http://datasheets.maxim-ic.com/en/ds/DS60.pdf> (HOUSEKEEPING_003.pdf)

SPECS: 5V power supply (2.7 V to 5.25 V, but 5 for wider range)

SCLK, CS, DIN, DOUT connection to FPGA

Unused ADCs must be connected to ground

MISC: ~~Cooling Fan connector must be placed~~

DATE: 2010-08-27

2010-09-13

REVIEW DATE: 2010-09-14

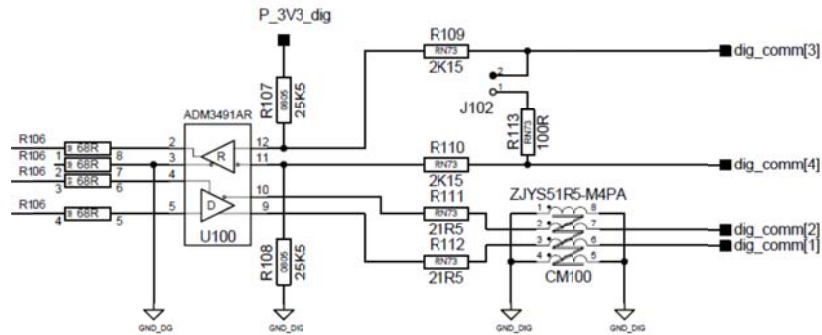
TODO: ~~Determine voltage measurement points, temperature points and determine the amount of ADC's needed~~

TIME NEEDED: ~~1/2 day~~

4.1 FACE PLATE INTERFACES

R-ITF-010 RS422

ORIGIN: RS422 is based on the RS485 scheme of DASP/Odelco.



COMPONENTS: 1x ADM3491AR
4x 68R
2x 21R5
1x Connector?

RESOURCES: <http://www.datasheetcatalog.org/datasheet/analogdevices/ADM3491ARU.pdf>
(COMMUNICATION_001.pdf)

SPECS: N/A

MISC: No Terminating resistor needed for RS422.
Untill now no reason found to use R109 and R110. (2010-08-30 Bert-Joost, Ad)
No reason for double decoupling capacitor?
R111 and R112 are used for the characteric impedance of the output lines

DATE: 2010-08-30

REVIEW DATE:

TODO: ~~What type of connector? (SubD9?)~~

TIME NEEDED: ~~0 day~~

2010-09-06
 REVIEW DATE: 2010-09-13
 TODO:
 TIME NEEDED: ~~1/2 day~~

R-ITF-040 LEDs

ORIGIN: N/A
 COMPONENTS: 1x Green LED
 1x Red LED
 1x Yellow LED
 3x 165R
 RESOURCES:
 SPECS: Green is connected to power
 Red is failure indication
 Yellow is status indication
 Power consumption is 20 mA.
 MISC:
 DATE: 2010-08-31
 REVIEW DATE: 2010-09-10
 TODO: Must be connected to a bending light pipe (has to be specified!)
 TIME NEEDED: ~~0 day~~

R-ITF-050 JTAG

ORIGIN: N/A
 COMPONENTS: 1x Subd9 female angled **OR**
 1x 7x2 angled header male
 RESOURCES: http://www.xilinx.com/itp/3_1i/pdf/docs/jtg/jtg.pdf (Xylinx JTAG)
 (COMMUNICATION_004.pdf)
 SPECS:
 MISC: Face plate connector can be a subd9 female angled connector (2010-08-31 Rob
 Wolfs). The RS422 Subd9 connector is male angled, so these two cannot be
 mistaken.
 Maybe a 7x2 header is preferrable due to compatability to the programmer used
 within SRON. (2010-08-31 Martin Grim has no preference)
 2010-09-06: programmer has 2x9 pins! (datasheet xylinx?)
 <http://nl.farnell.com/tyco-electronics-amp/1-1634689-4/header-box-right-angle-14way/dp/8396000>
 DATE: 2010-08-31
 2010-09-06
 REVIEW DATE: 2010-09-14
 TODO: ~~Determine connector type~~
 TIME NEEDED: ~~1 day~~

R-ITF-060 SPACE WIRE

ORIGIN: Tropomi
 COMPONENTS: 1x FIN1104
 1x MDM9FA narrow
 RESOURCES:
 SPECS:
 MISC: 2010-09-15 decided to implement according to request from Groningen.
 DATE: 2010-09-16
 REVIEW DATE: 2010-09-16
 TODO:
 TIME NEEDED: ~~1 day~~

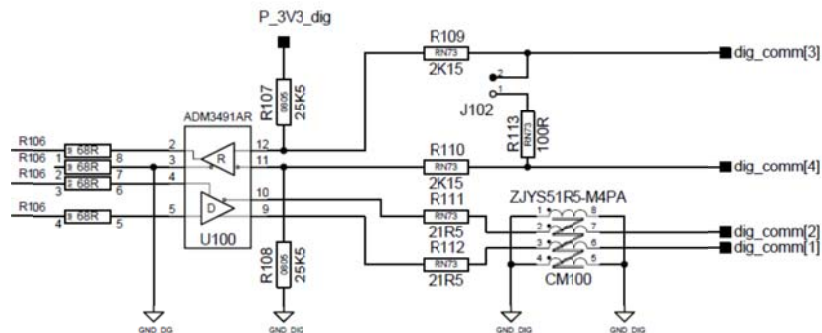
4.2 BACKPLANE INTERFACES

R-ITF-110 HIGH SPEED DATA INTERFACE

ORIGIN: N/A
 COMPONENTS: N/A
 RESOURCES:
 SPECS: Rocket IO is used for the high speed data interface. Depending on the amount of Rocket IO left (12 available in the xilinx, at least 2 used for the Gigabit ethernet)
 MISC:
 DATE: 2010-08-30
 REVIEW DATE:
 TODO: Connector has to be chosen to connect the Rocket IO, and the amount of rocket io has to be determined.
 TIME NEEDED: 1 day

R-ITF-120 RS485

ORIGIN: RS485 scheme of DASP/Odelco.



COMPONENTS: 1x ADM3491AR
 4x 68R
 2x 21R5

1x Connector?

RESOURCES: <http://www.datasheetcatalog.org/datasheet/analogdevices/ADM3491ARU.pdf>
(COMMUNICATION_001.pdf)

SPECS: N/A

MISC: Untill now no reason found to use R109 and R110. (2010-08-30 Bert-Joost, Ad)
No reason for double decoupling capacitor?
R111 and R112 are used for the characteric impedance of the output lines

DATE: 2010-08-31

REVIEW DATE:

TODO:

TIME NEEDED: ~~1/2 day~~

O-ITF-130 SPI

ORIGIN:

COMPONENTS:

RESOURCES:

SPECS:

MISC:

DATE: 2010-08-31

REVIEW DATE:

TODO: No SPI to sisterboard. To be consistent also not to backplane?

TIME NEEDED: ~~0 day~~

R-ITF-140 GENERAL PURPOSE IO

ORIGIN:

COMPONENTS:

RESOURCES:

SPECS: At least 16 GPIO lines

MISC:

DATE: 2010-08-31

REVIEW DATE:

TODO:

TIME NEEDED: ~~1 day~~

R-ITF-150 JTAG

ORIGIN:

COMPONENTS:

RESOURCES:

SPECS:

MISC: ON FGPA of motherboard these pins can be defined randomly. To select a certain card in the backplane for programming, please use the GPIO lines for card selection -> **is this possible?**

DATE: 2010-09-06

2010-09-07

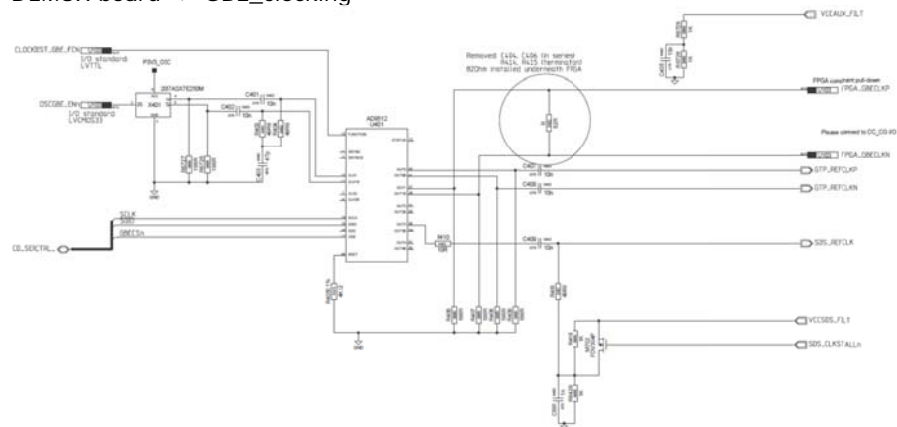
REVIEW DATE:

TODO:

TIME NEEDED: ~~1/2 day~~

R-ITF-160 SYNCHRONIZATION INTERFACE

ORIGIN: DEMUX board -> GBE_clocking



COMPONENTS: 1x AD9512

RESOURCES: http://www.analog.com/static/imported-files/data_sheets/AD9512.pdf
(SYNC_001.pdf)

SPECS:

MISC: 2010-09-01: No clocklines to backplane, but a synchronization line. This line has a speed of max 100 kHz and is connected to 1 IO line of the FPGA. This line is fed through the backplane to all the boards, and is terminated on the end of the line on the backplane. This termination point has to be further away than all the line drivers on the backplaneboards.

All the backplane boards have to have drivers on this synchronization line, as close as possible to the backplane. (WG, RdIR, RW, BvW)

DATE: 2010-08-31

2010-09-01

2010-09-07

REVIEW DATE:

TODO: Determine if this circuit is sufficient

Is serial programmed clock, maybe a "dumb" clock is sufficient?
 Or need a more complicated thing because of the bidirectional clock of the FMC
 standard -> See MISC 2010-09-01

TIME NEEDED: ~~2 days~~

4.3 SISTER BOARD INTERFACES

R-ITF-210 HIGH SPEED DATA INTERFACE

ORIGIN: N/A
 COMPONENTS: N/A
 RESOURCES:
 SPECS: Rocket IO is used for the high speed data interface. Depending on the amount of Rocket IO left (12 available in the xilinx, at least 2 used for the Gigabit ethernet)
 MISC:
 DATE: 2010-08-30
 REVIEW DATE:
 TODO: Connector has to be chosen to connect the Rocket IO, and the amount of rocket io has to be determined.
 TIME NEEDED: ½ day

R-ITF-220 LOW SPEED DATA INTERFACE

ORIGIN: N/A
 COMPONENTS: N/A
 RESOURCES:
 SPECS: 16Bit Low speed IO
 MISC:
 DATE: 2010-08-31
 2010-09-07
 REVIEW DATE:
 TODO: Connect all remaining lines of FMC connector
 TIME NEEDED: ~~½ day~~

O-ITF-230 SPI INTERFACE

ORIGIN:
 COMPONENTS:
 RESOURCES:
 SPECS: Cannot be connected over the FMC connector. General Purpose IO can be used for SPI if needed.
 MISC:
 DATE: 2010-08-31

REVIEW DATE:

TODO: Decide not to use or implement another connector just for SPI

TIME NEEDED: ~~0 day~~

R-ITF-240 GENERAL PURPOSE IO

ORIGIN: N/A

COMPONENTS: N/A

RESOURCES:

SPECS: At least 16 GPIO lines

MISC:

DATE: 2010-08-31

2010-09-06

REVIEW DATE:

TODO: Connect all remaining lines of FMC connector

TIME NEEDED: ~~½ day~~

R-ITF-250 JTAG INTERFACE

ORIGIN:

COMPONENTS:

RESOURCES:

SPECS:

MISC: Connect to GPIO on processor, connected to connector by FMC standard

DATE:

REVIEW DATE: 2010-09-06

TODO:

TIME NEEDED: ~~½ day~~

R-ITF-260 SYNCHRONIZATION INTERFACE

ORIGIN:

COMPONENTS: 6x PS7801J-1A (switch)

1x MC100LVEL14DWG

1x SX7E Oscillator

RESOURCES: MC100LVEL14DWG Clock distribution:

http://www.onsemi.com/pub_link/Collateral/MC100LVEL14-D.PDF

(SYNC_002.pdf) (available at farnell: 1192080)

SX7E OSCILLATOR:

<http://www.navatekindia.com/european/oscillators/surface/SX7E.pdf>

(SYNC_003.pdf)

SPECS: Datasheet oscillator does not specify a connection diagram. Connections based on Demux board.

Clock distribution Datasheet specifies a truth table:

CLK	SCLK	SEL	$\overline{\text{EN}}$	Q
L	X	L	L	L
H	X	L	L	H
X	L	H	L	L
X	H	H	L	H
X	X	X	H	L*

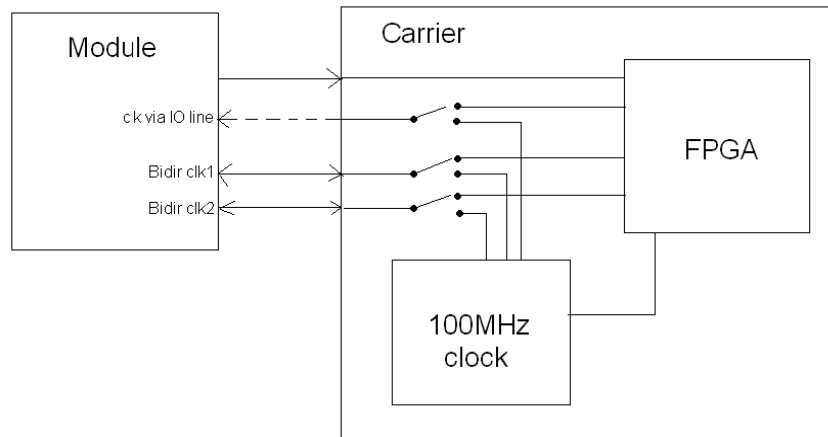
The chip is connected in a way that Q is directly dependent on CLK, so SEL and EN are low. SCLK is a don't care. In this case connected to ground.

Vbb is only for single ended input, so not connected.

Vcc must be decoupled with 0.01uF

Line impedance is 200R (based on clock distribution AC-bias card: SYNC_004.pdf)

MISC:



SX7E used because of low-jitter specs, for ADCs and DACs on sisterboard

DATE: 2010-09-01
2010-09-10
REVIEW DATE: 2010-09-10
TODO:
TIME NEEDED: ~~4 day~~

R-ITF-270 I2C SISTERBOARD VERSION CONTROL

ORIGIN: FMC standard I2C connection to FPGA
COMPONENTS:
RESOURCES:
SPECS:
MISC:
DATE: 2010-09-07
REVIEW DATE:
TODO:
TIME NEEDED: ~~1/2 day~~

TODO: Done: 3V3, 2V5, 1V0
Todo: 5V, VADJ, +/- 12V
~~Header to connect AGND to DGND for 12V FMC connector use~~
~~Power on reset (2010-09-14 Jelle)~~
TIME NEEDED: ~~2 days~~ 1 day

R-ITF-320 SISTERBOARD POWER INTERFACE

ORIGIN:
COMPONENTS:
RESOURCES:
SPECS: +/- 10V
 5V
 3.3V
 2.5V
 0.5-2.5V adjustable
 0V
MISC:
DATE: 2010-08-31
REVIEW DATE:
TODO: Connector
TIME NEEDED: 1 day

5 MECHANICAL

R-MCH-010 BOARD SIZE

ORIGIN:
 COMPONENTS:
 RESOURCES:
 SPECS: Board size is 233.4 by 160.0 mm
 MISC:
 DATE: 2010-08-31
 REVIEW DATE:
 TODO:

R-MCH-020 CABINET

ORIGIN:
 COMPONENTS:
 RESOURCES:
 SPECS: Has to fit in a 19" Cabinet, which means 1U???
 1U = 43.7 mm height
 Width: 482.6 mm ???????
 Depth: 482.6 mm ?????
 MISC:
 DATE: 2010-08-31
 REVIEW DATE:
 TODO: What to do with this info?

R-MCH-030 FACE PLATE

ORIGIN:
 COMPONENTS:
 RESOURCES:
 SPECS: The board has to have a face plate with the face plate connectors en LED's as specified in the rest of this design document.
 MISC:
 DATE: 2010-08-31
 REVIEW DATE:
 TODO: Determine connectors for RS422, JTAG, Power Supply

R-MCH-040 BACKPLANE INSERTION

ORIGIN:
 COMPONENTS:
 RESOURCES:
 SPECS: Needs to be possible to connect to a backplane power/IO

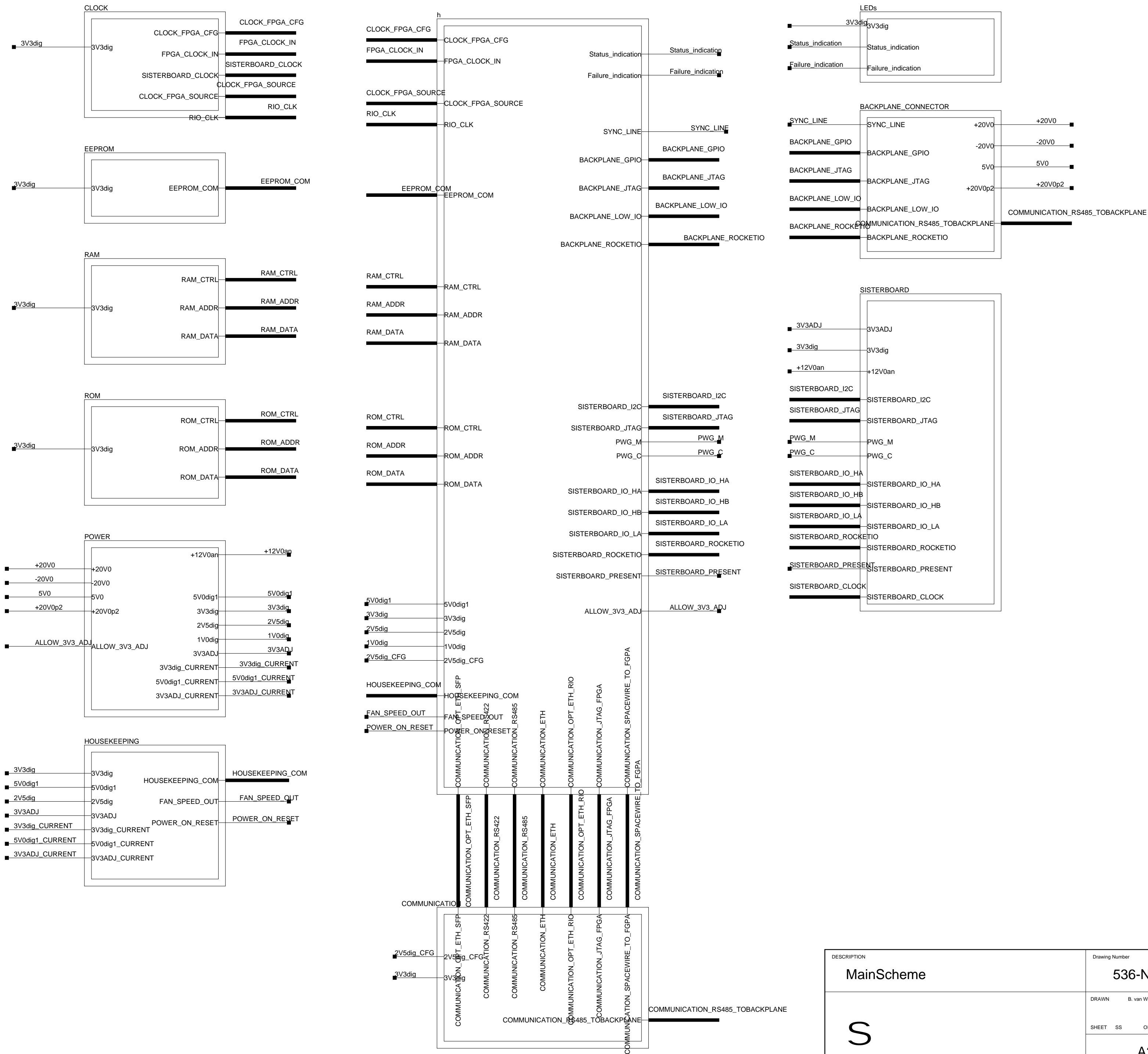
MISC:
 DATE: 2010-08-31
 REVIEW DATE:
 TODO: Determine connector type

R-MCH-050 SISTER SOCKET

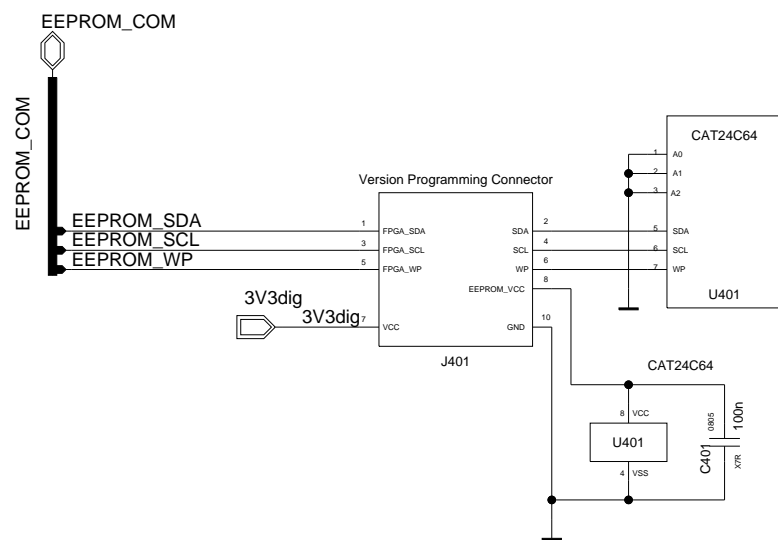
ORIGIN: FMC standard
 COMPONENTS: Connector voor Motherboard: ASP-134486-01 (<http://www.samtec.com/ftppub/Cpdf/ASP-134486-01.pdf>)
 Connector voor Sisterboard: ASP-134488-01 (<http://www.samtec.com/ftppub/Cpdf/ASP-134488-01.pdf>)

RESOURCES:
 SPECS: This connector with the FMC standard does not supply all specified power supplies. An alternate connector will be implemented for the power supply else than specefied bij the FMC standard
 MISC: MISCELLANEOUS_001.pdf
 DATE: 2010-08-31
 REVIEW DATE:
 TODO: Determine power connector
~~Implement FMC connector~~
 TIME NEEDED: 1 day

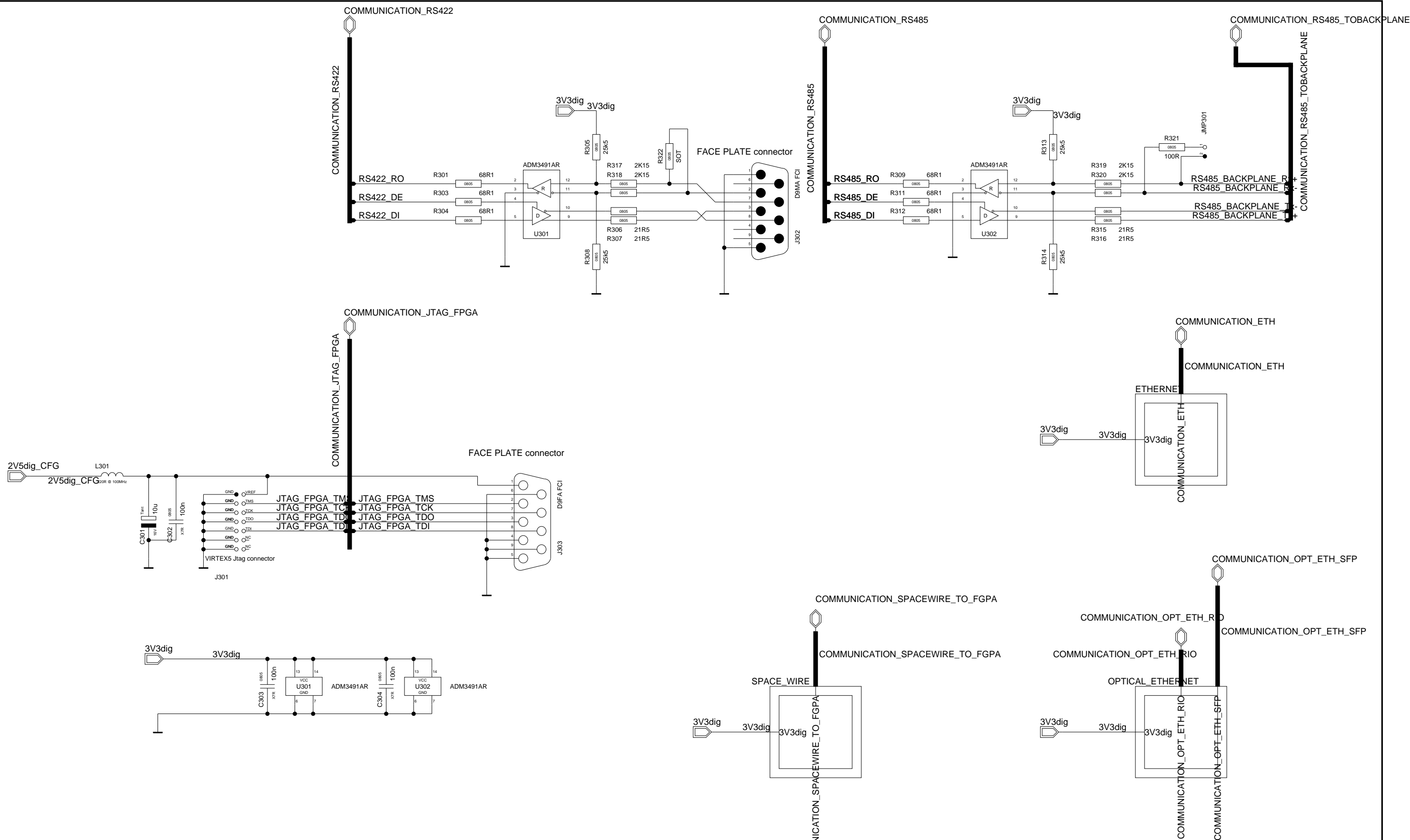
Bijlage D: Schema's "Fast Prototyping"-board



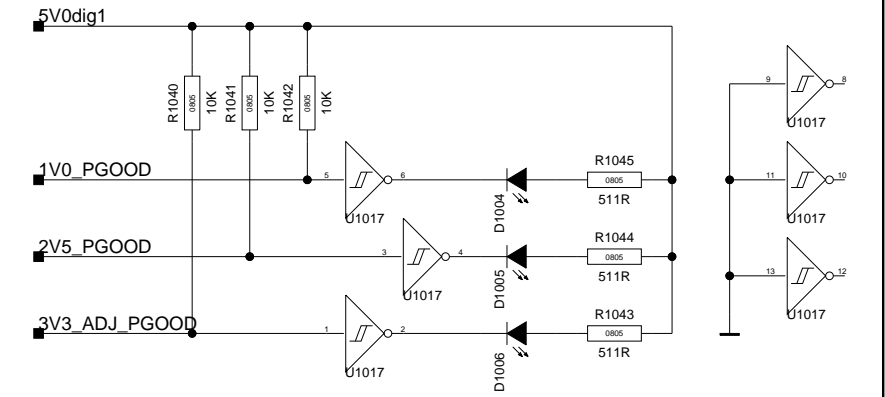
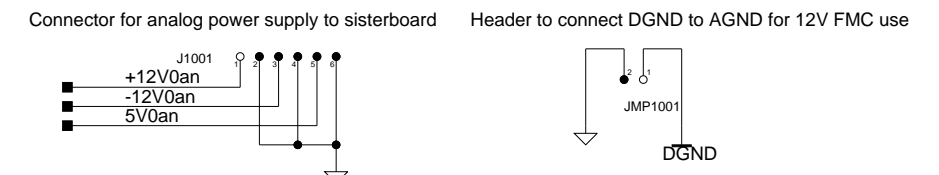
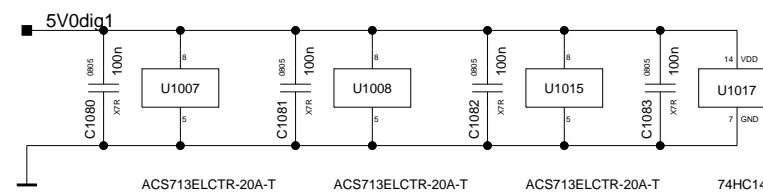
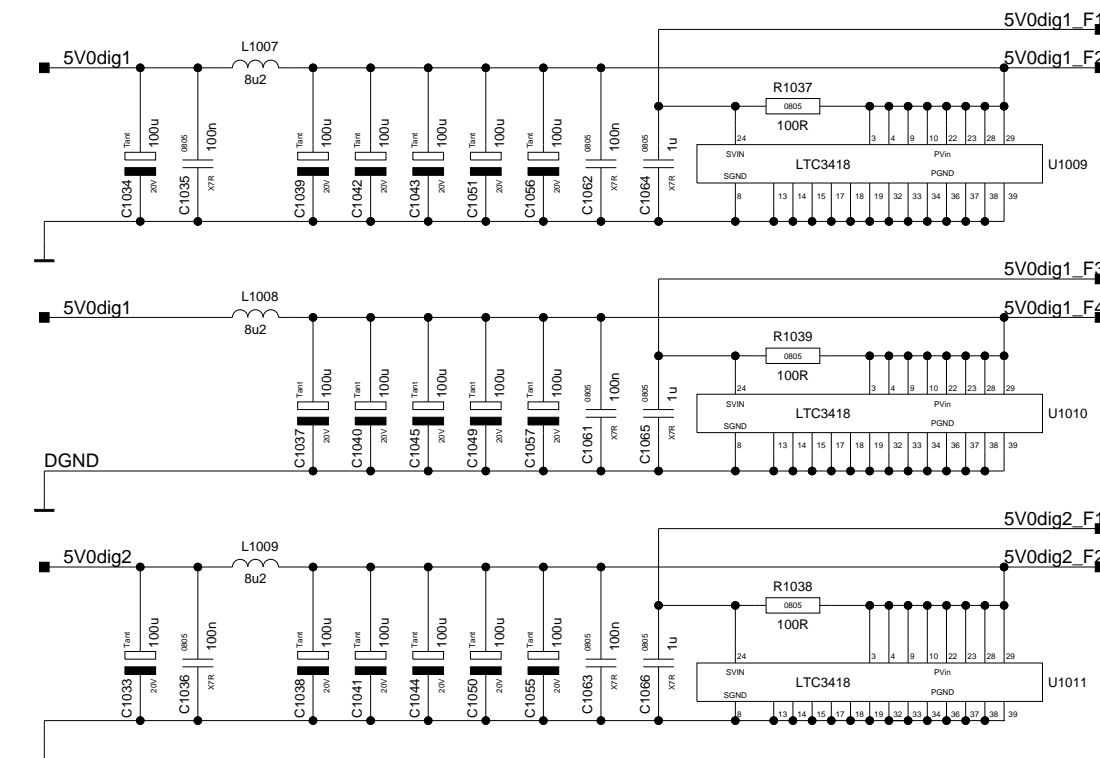
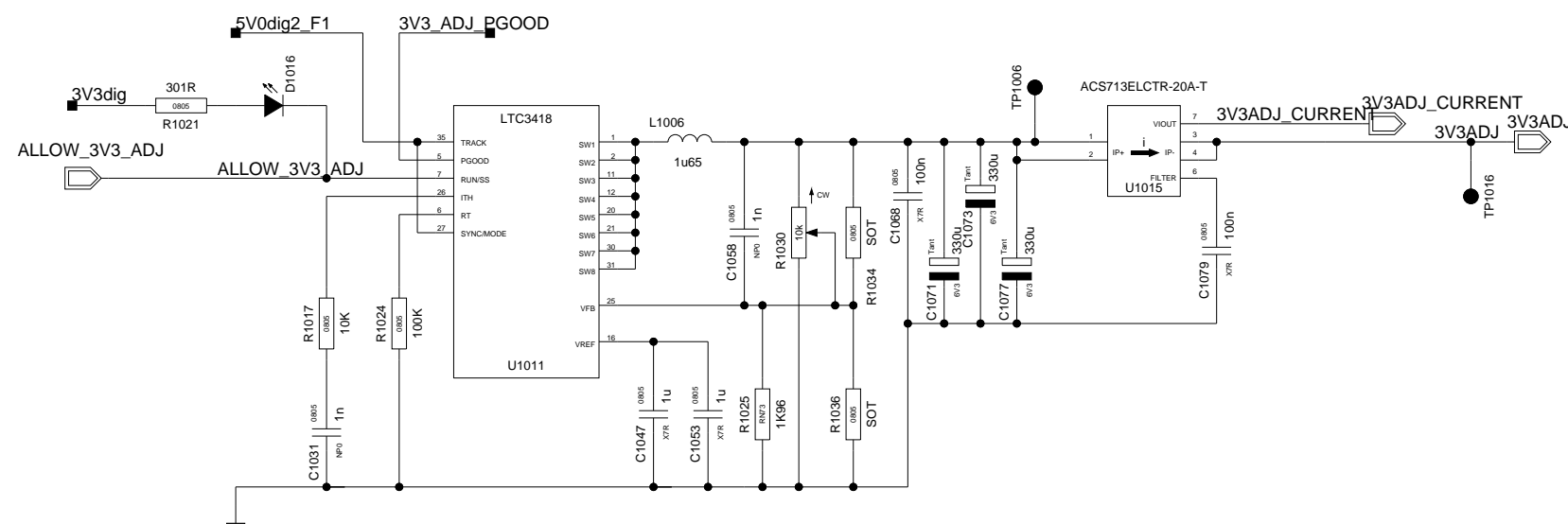
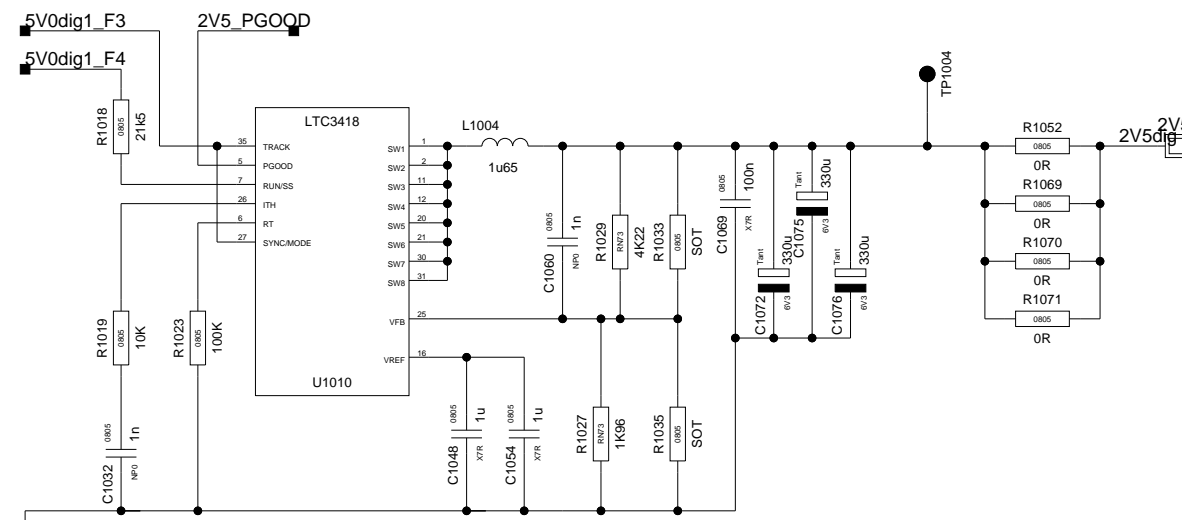
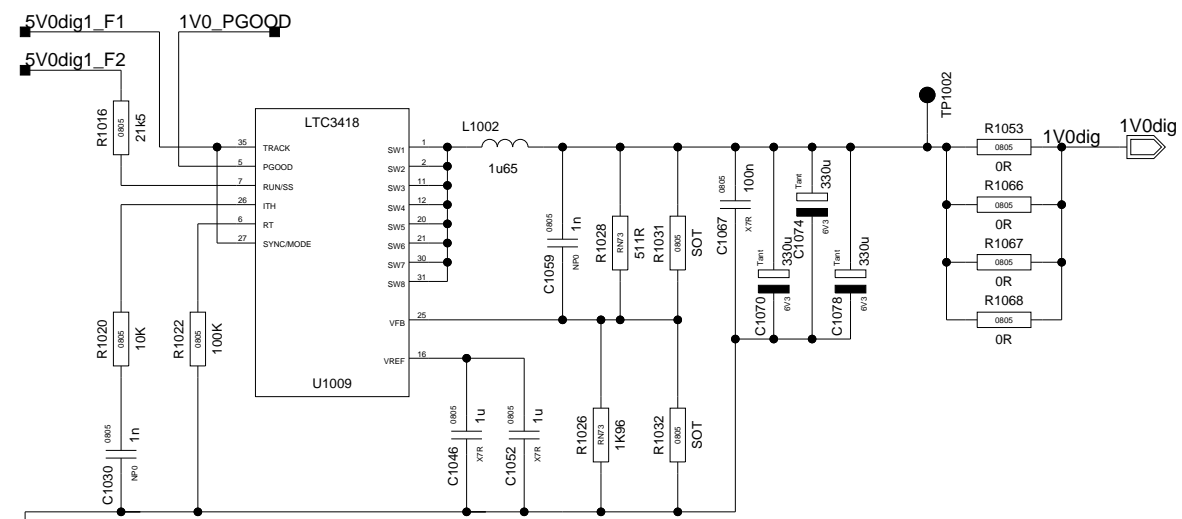
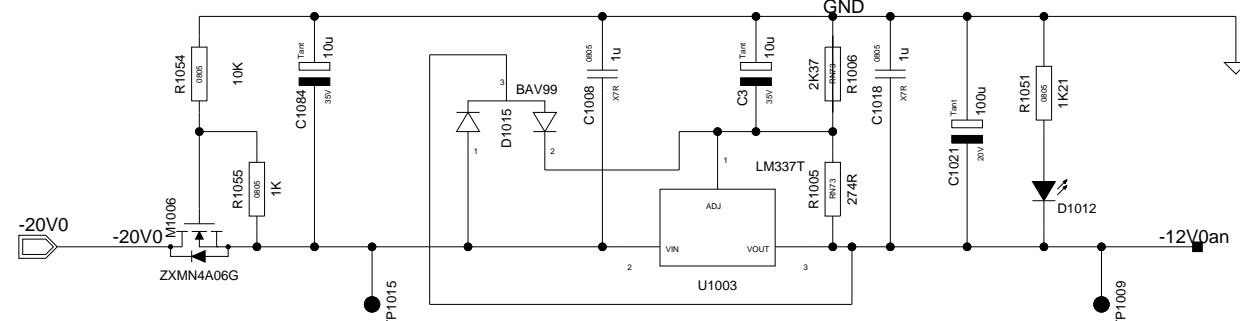
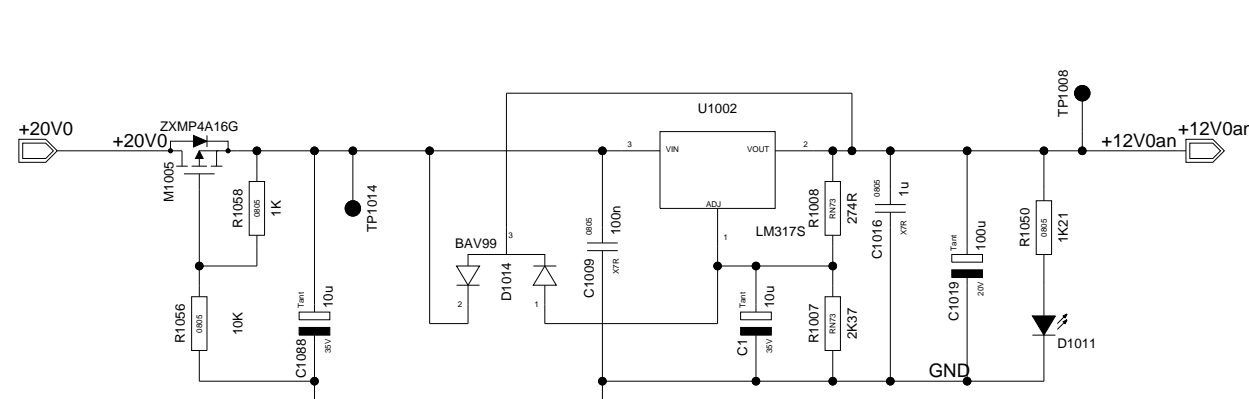
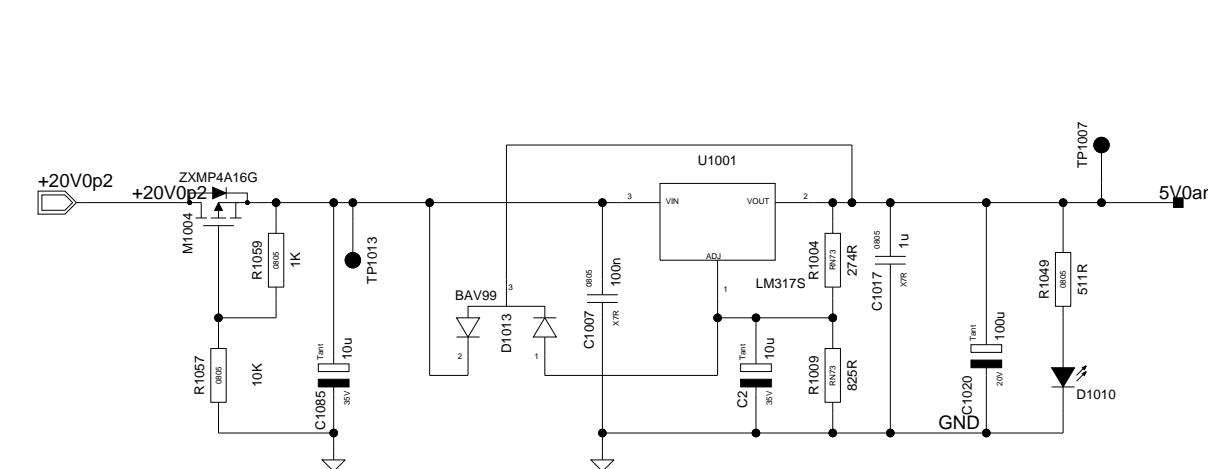
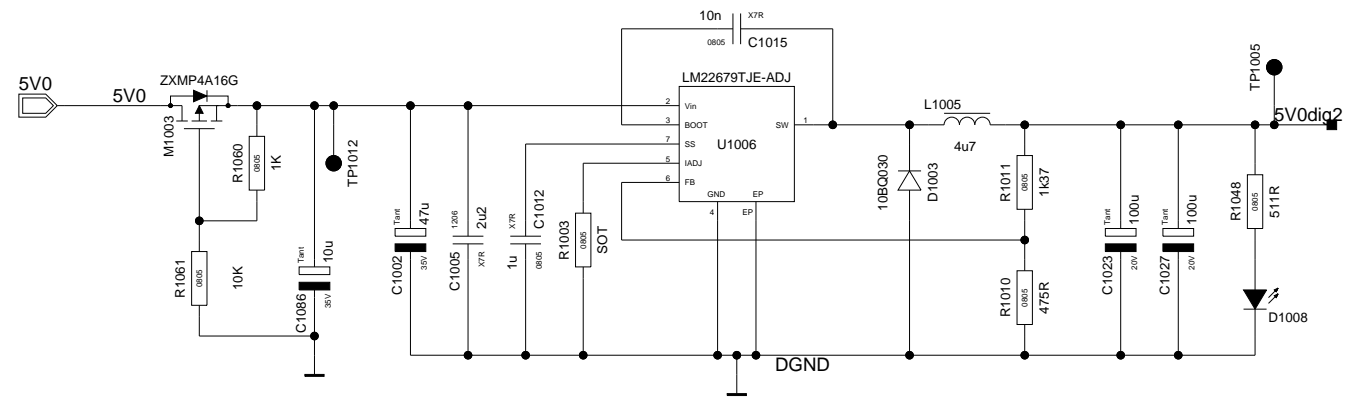
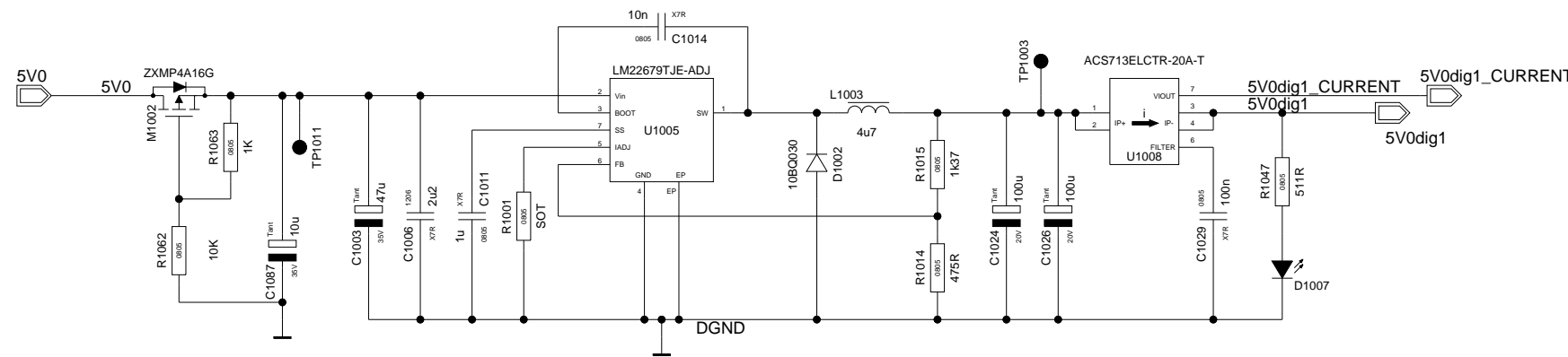
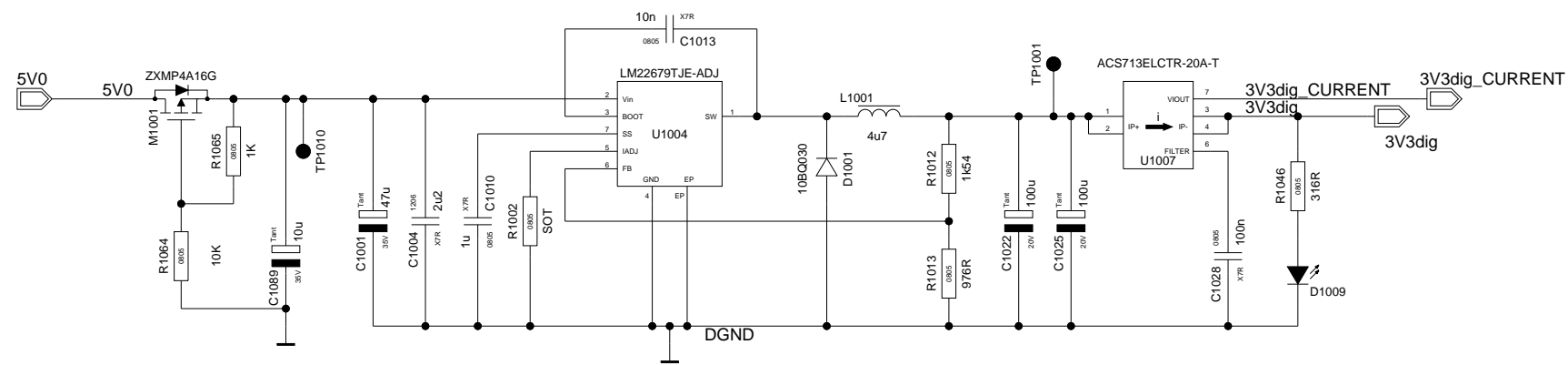
DESCRIPTION	Drawing Number	DATE		INIT.
		APP.		
		APP. PA		
		ISSUE		
S	DRAWN	B. van Weerd		
	SHEET	SS	OF 19	
	A2		FAST PROTOTYPING	



DESCRIPTION	Drawing Number		DATE	INIT.
		APP.		
		APP_PA		
		ISSUE		
S	DRAWN	B. van Weerd		
	SHEET	SS	OF	PP
	A3		FAST PROTOTYPING	

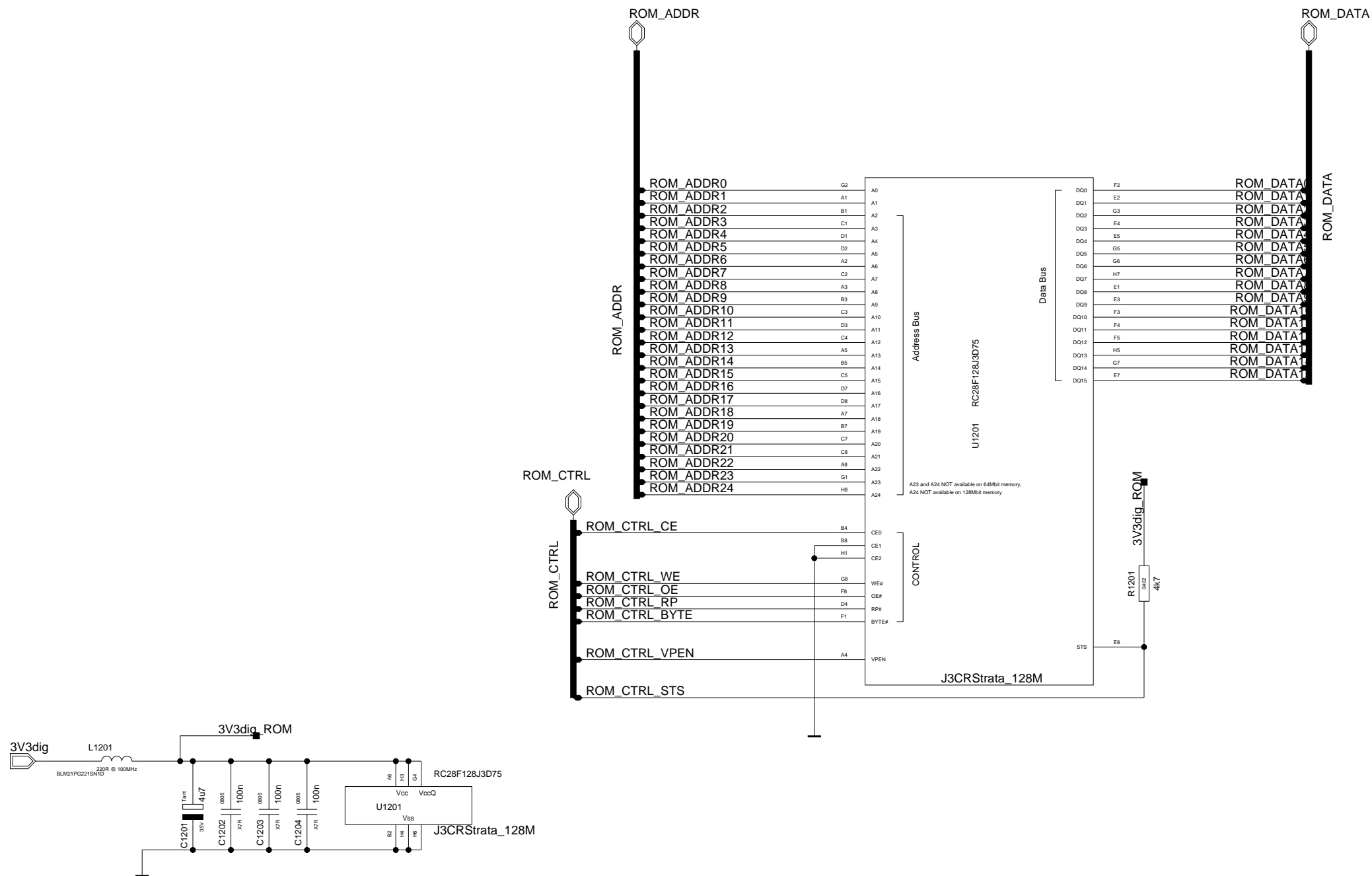


DESCRIPTION		Drawing Number		DATE	INIT.
COMMUNICATION		536-N-1100		APP.	
				APP_PA	
		DRAWN B. van Weerd		ISSUE	
		SHEET SS OF PP			
S		A3		FAST PROTOTYPING	

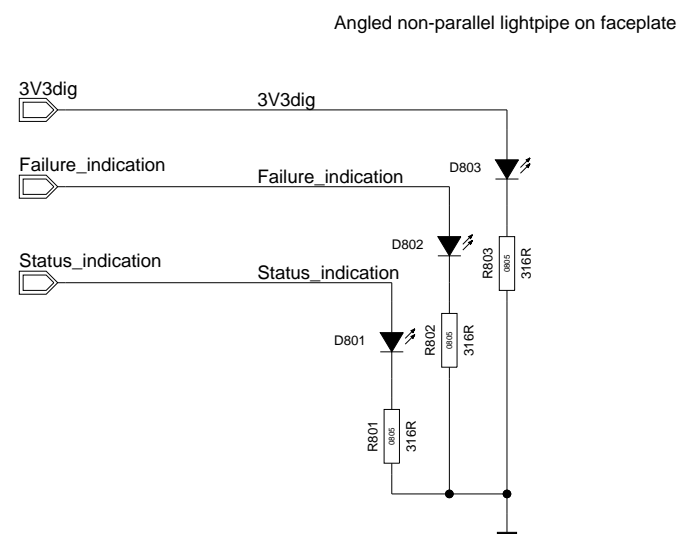


If possible, all power indication LED's on faceplate in 3x3 LED array with lightpipe

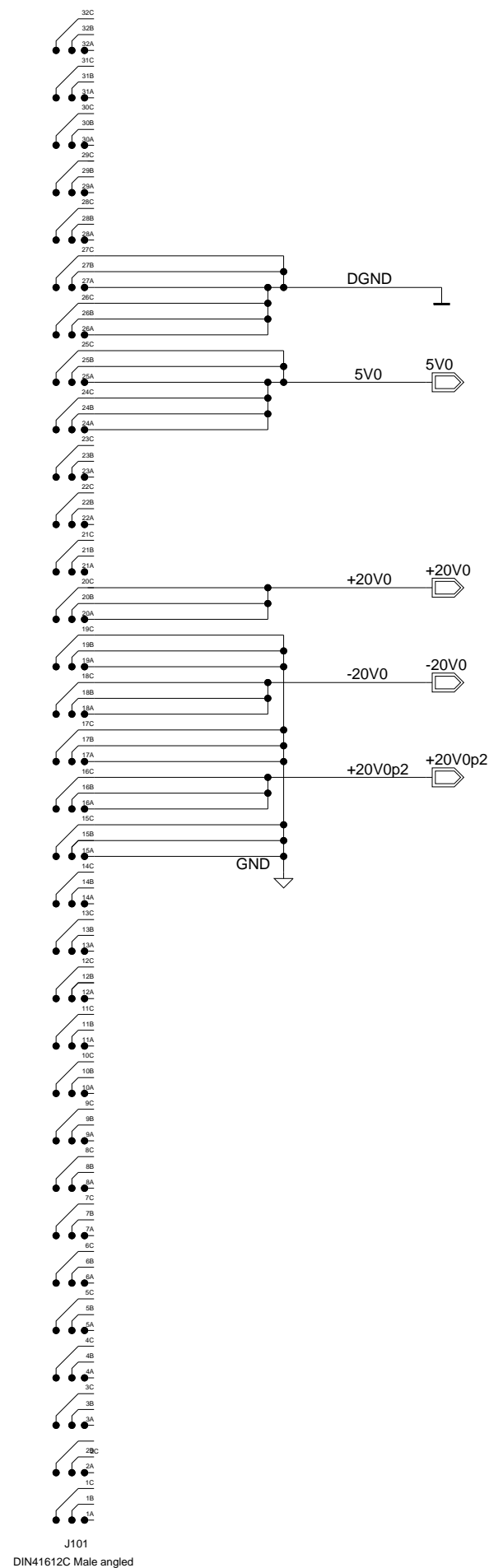
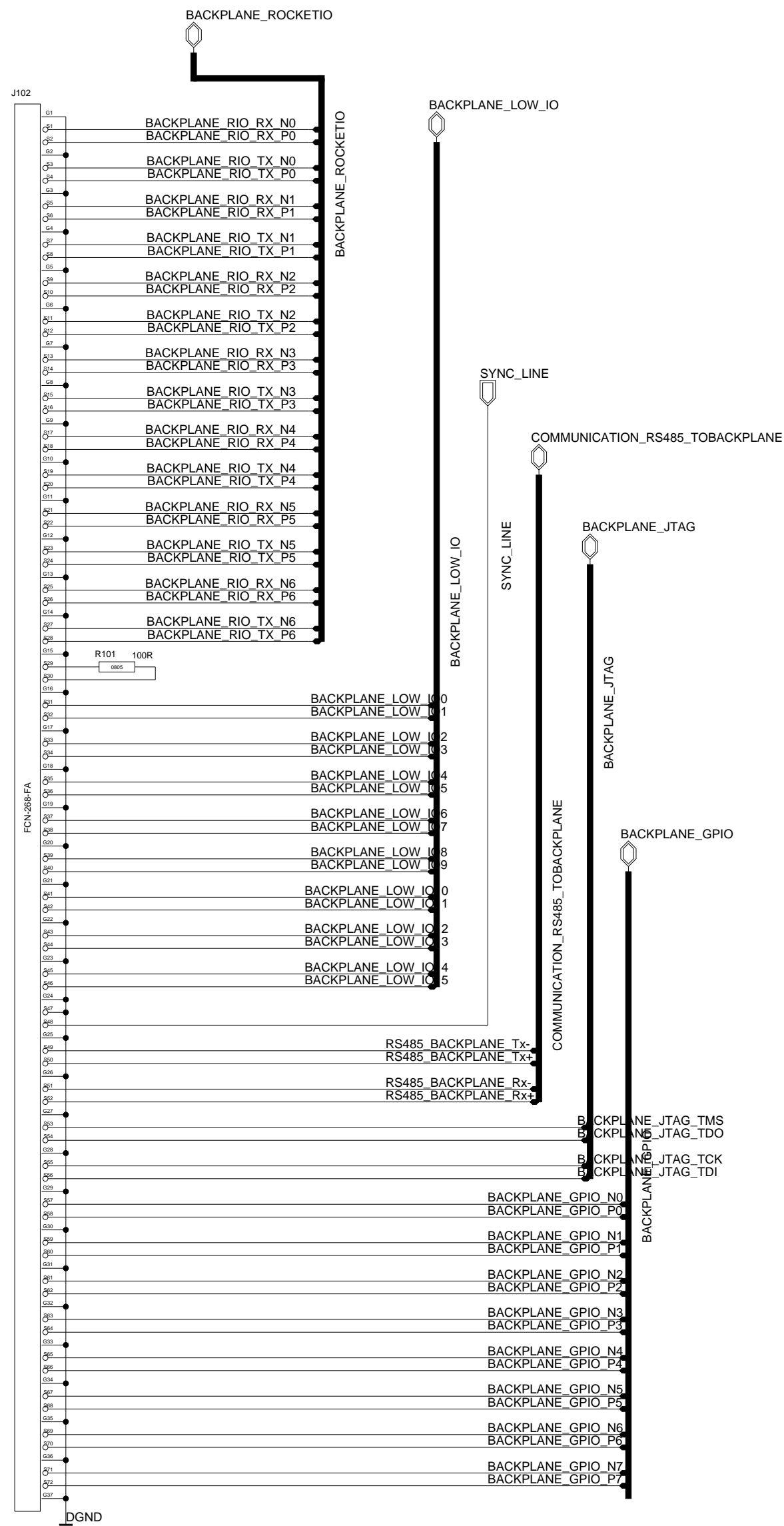
DESCRIPTION		Drawing Number	DATE	INIT.
POWER		536-N-1100		
		DRAWN B. van Weerd	APP.	
		SHEET SS OF PP	APP. PA	
			ISSUE	
S		A2	FAST PROTOTYPING	



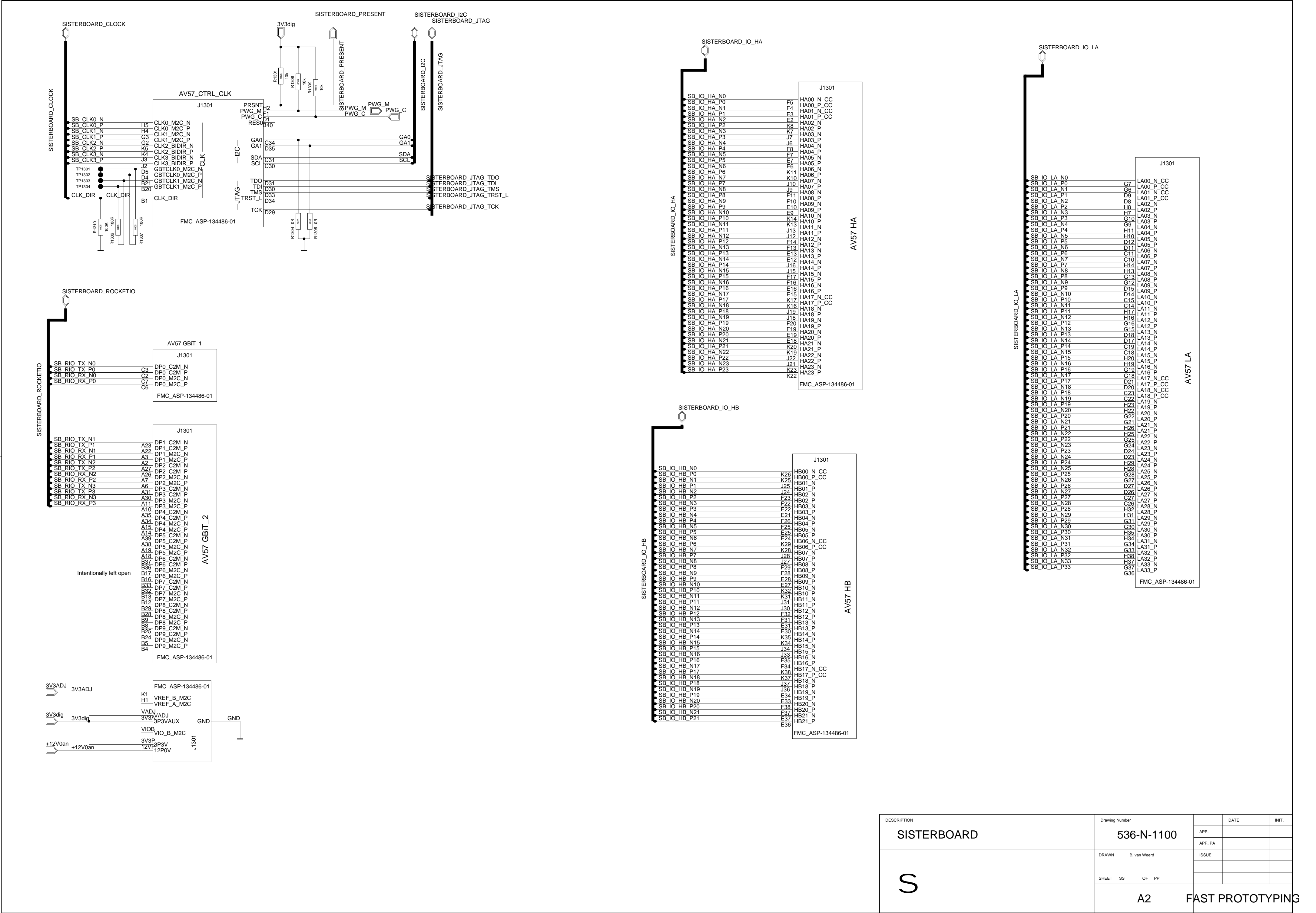
DESCRIPTION	Drawing Number	DATE		INIT.
		APP.		
		APP. PA		
		ISSUE		
ROM	536-N-1100			
S	DRAWN	B. van Weerd		
	SHEET	SS	OF	PP
	A3		FAST PROTOTYPING	



DESCRIPTION	Drawing Number		DATE	INIT.
LEDs	536-N-1100	APP.		
S	DRAWN B. van Weerd	APP_PA		
		ISSUE		
	SHEET SS OF PP			
	A3	FAST PROTOTYPING		

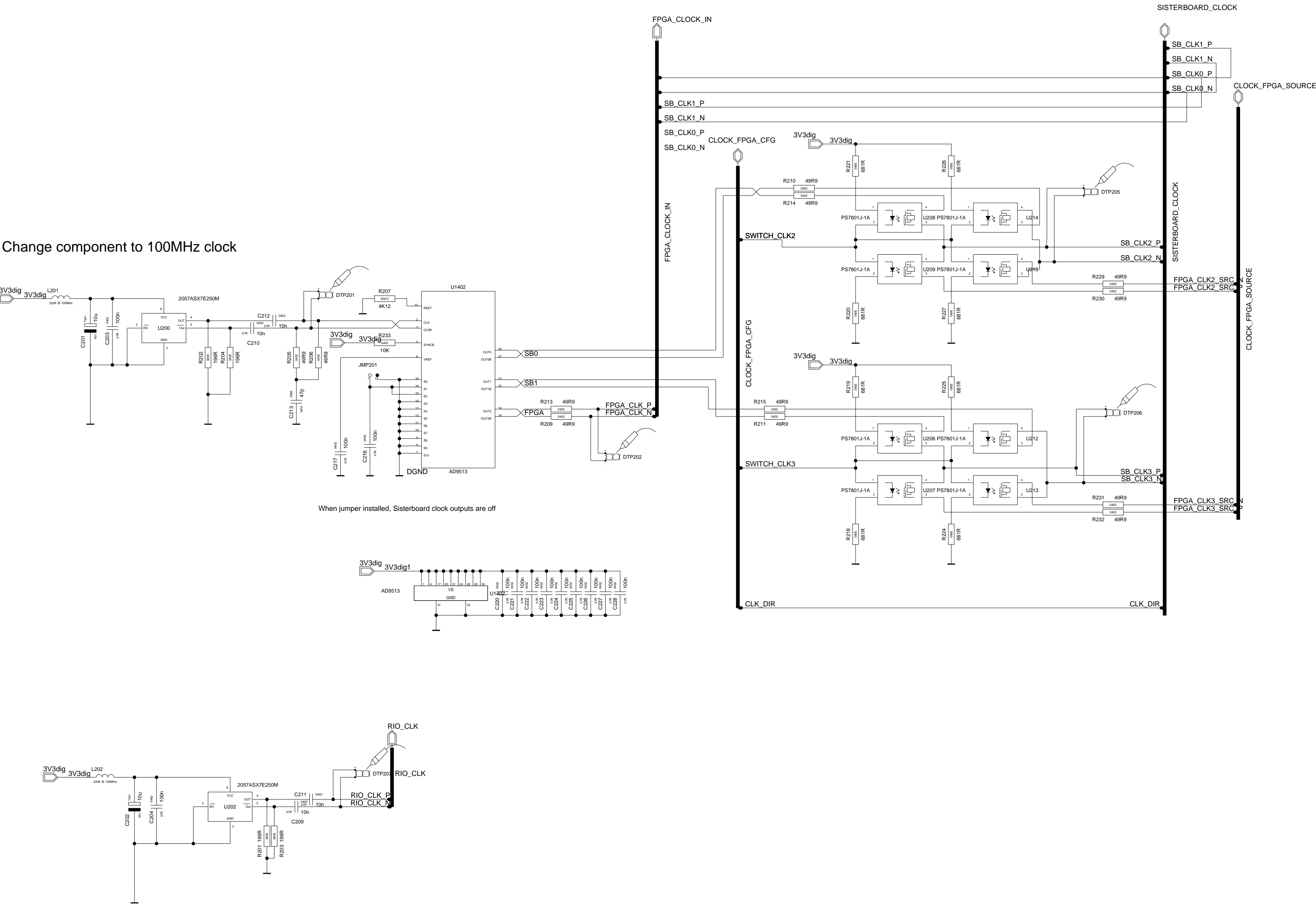


DESCRIPTION		Drawing Number	DATE	INIT.
S		536-N-1100	APP.	
			APP. PA	
		DRAWN B. van Weerd	ISSUE	
		SHEET SS OF PP		
		A2	FAST PROTOTYPING	

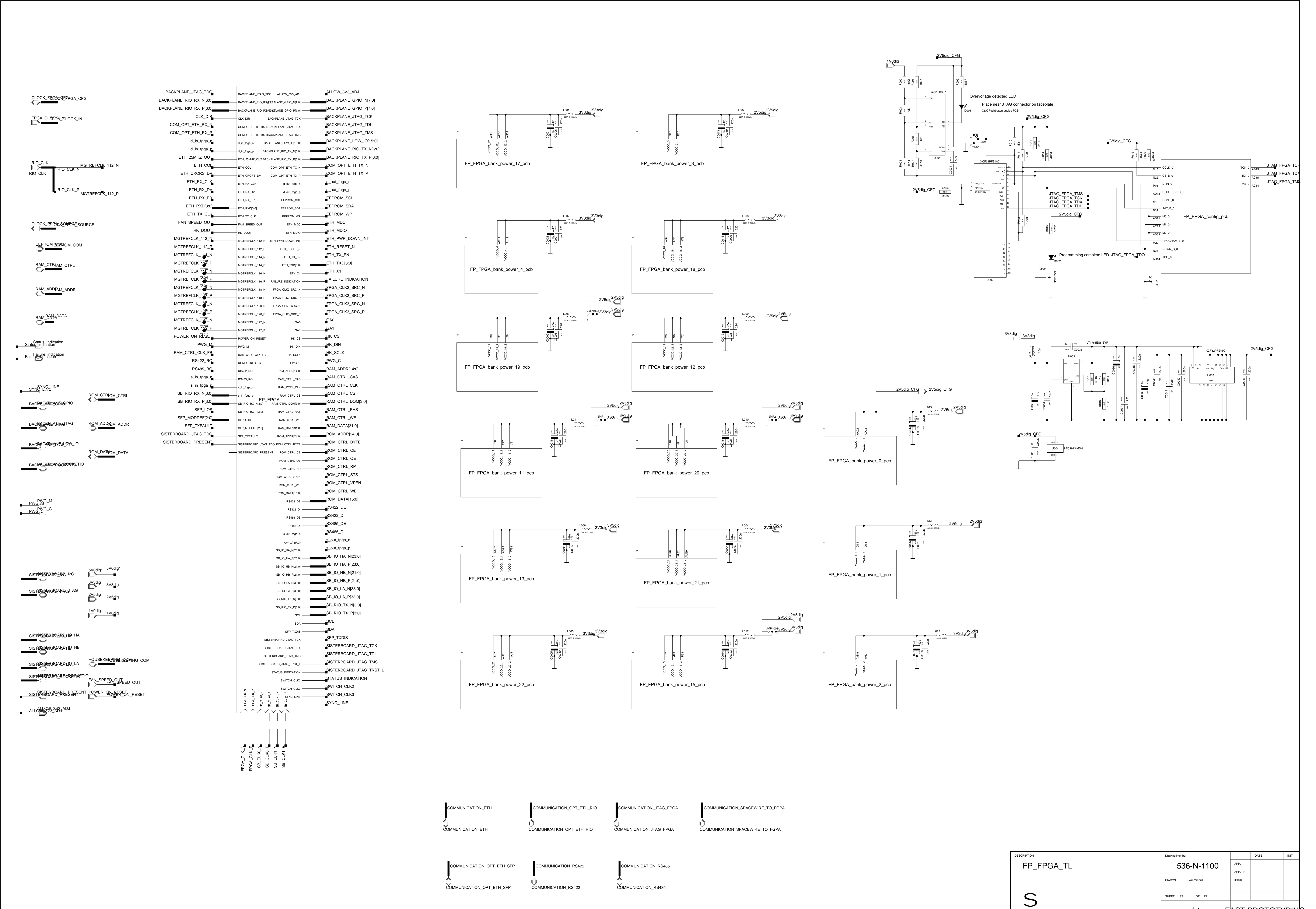


DESCRIPTION	Drawing Number	DATE	INIT.
SISTERBOARD	536-N-1100	APP.	
		APP. PA	
	DRAWN B. van Weerd	ISSUE	
	SHEET SS OF PP		
	A2	FAST PROTOTYPING	

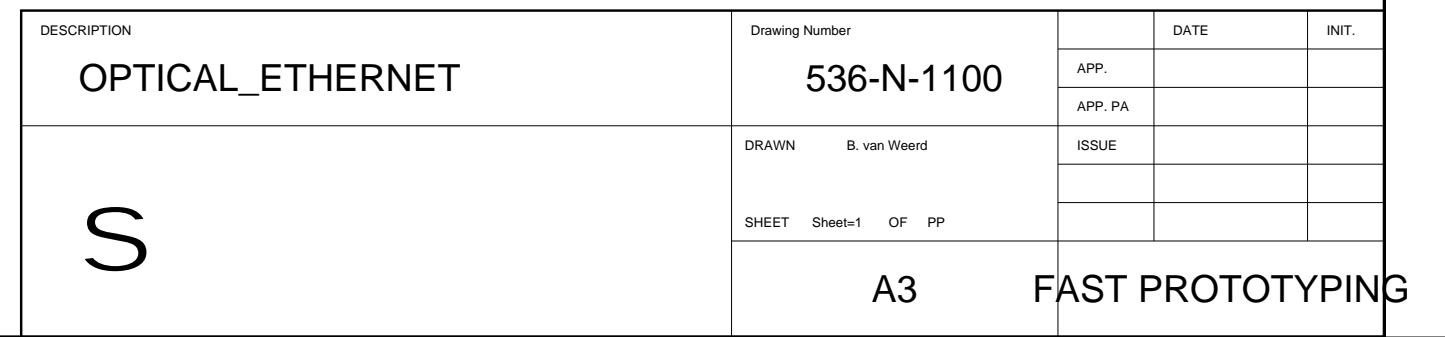
Change component to 100MHz clock

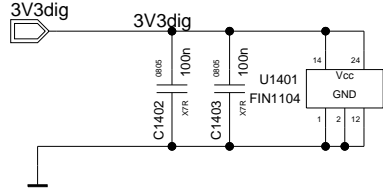
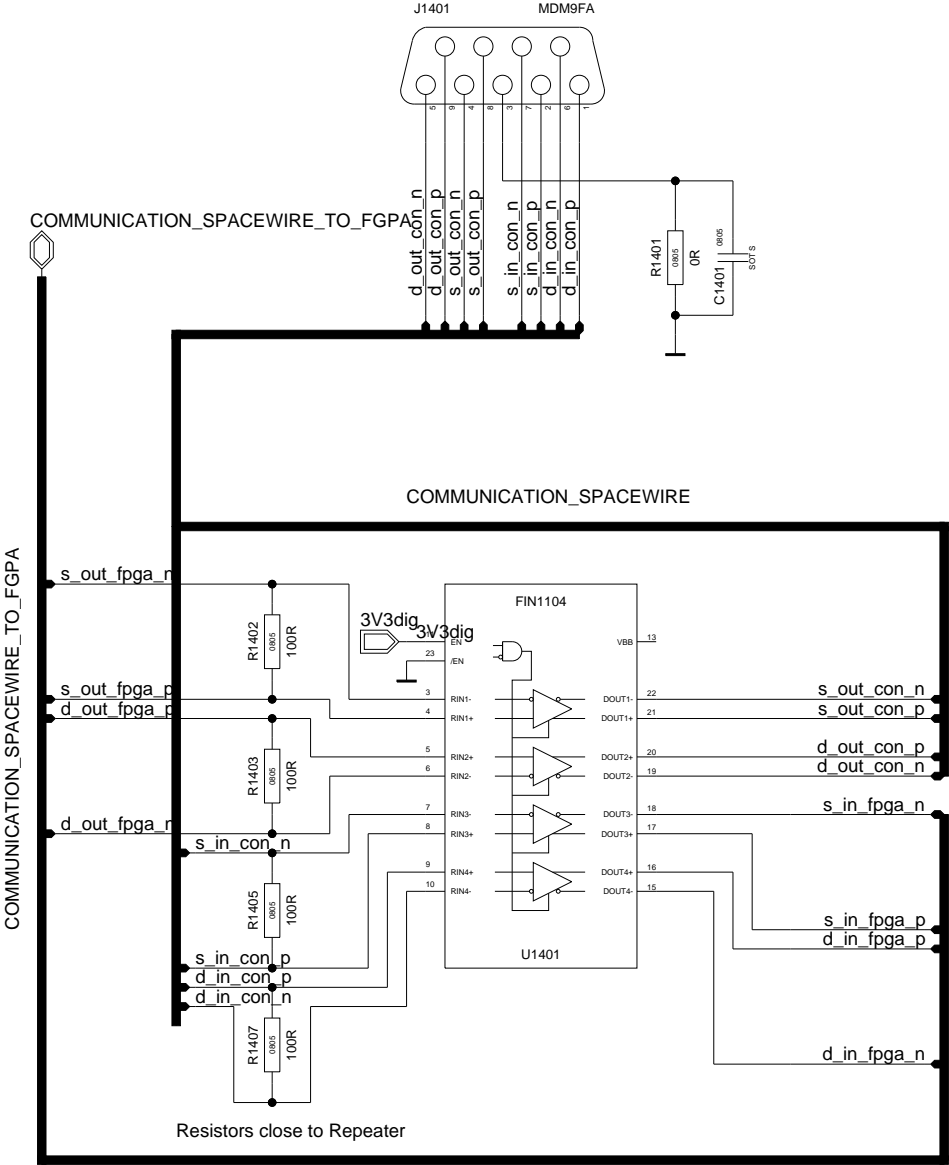


DESCRIPTION	Drawing Number	DATE		INIT.
		APP.		
		APP. PA		
		ISSUE		
S	DRAWN B. van Weerd			
	SHEET SS OF PP			
	A2	FAST PROTOTYPING		

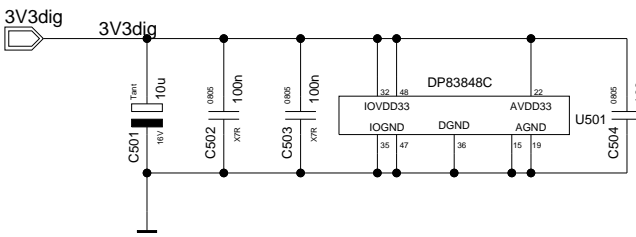
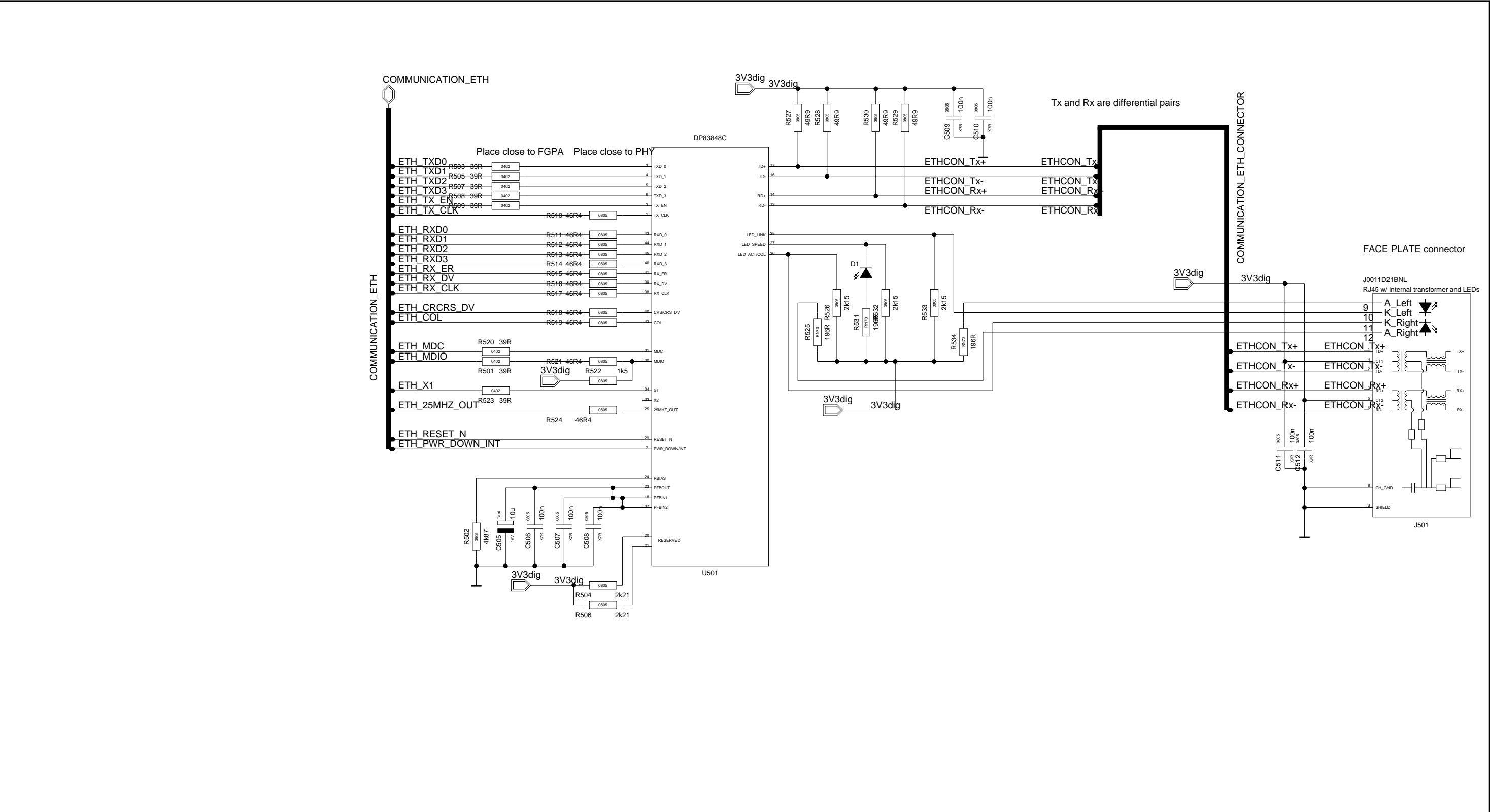


DESCRIPTION	Drawing Number	DATE	INT.
FP_FPGA_TL	536-N-1100		
S	DRAWN B. van Weerd	ISSUE	
	SHEET 55 OF 55		
	A1	FAST PROTOTYPING	

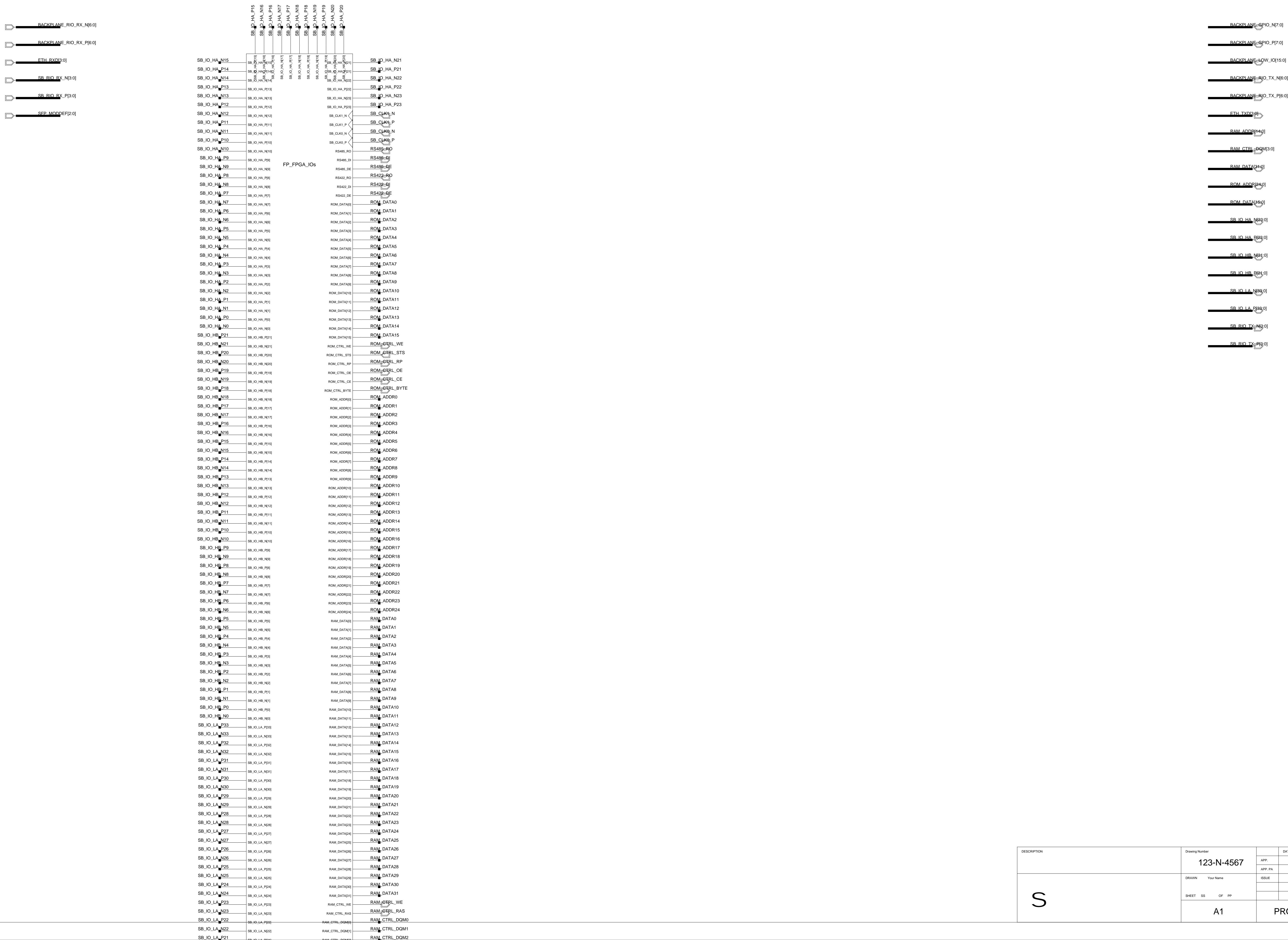




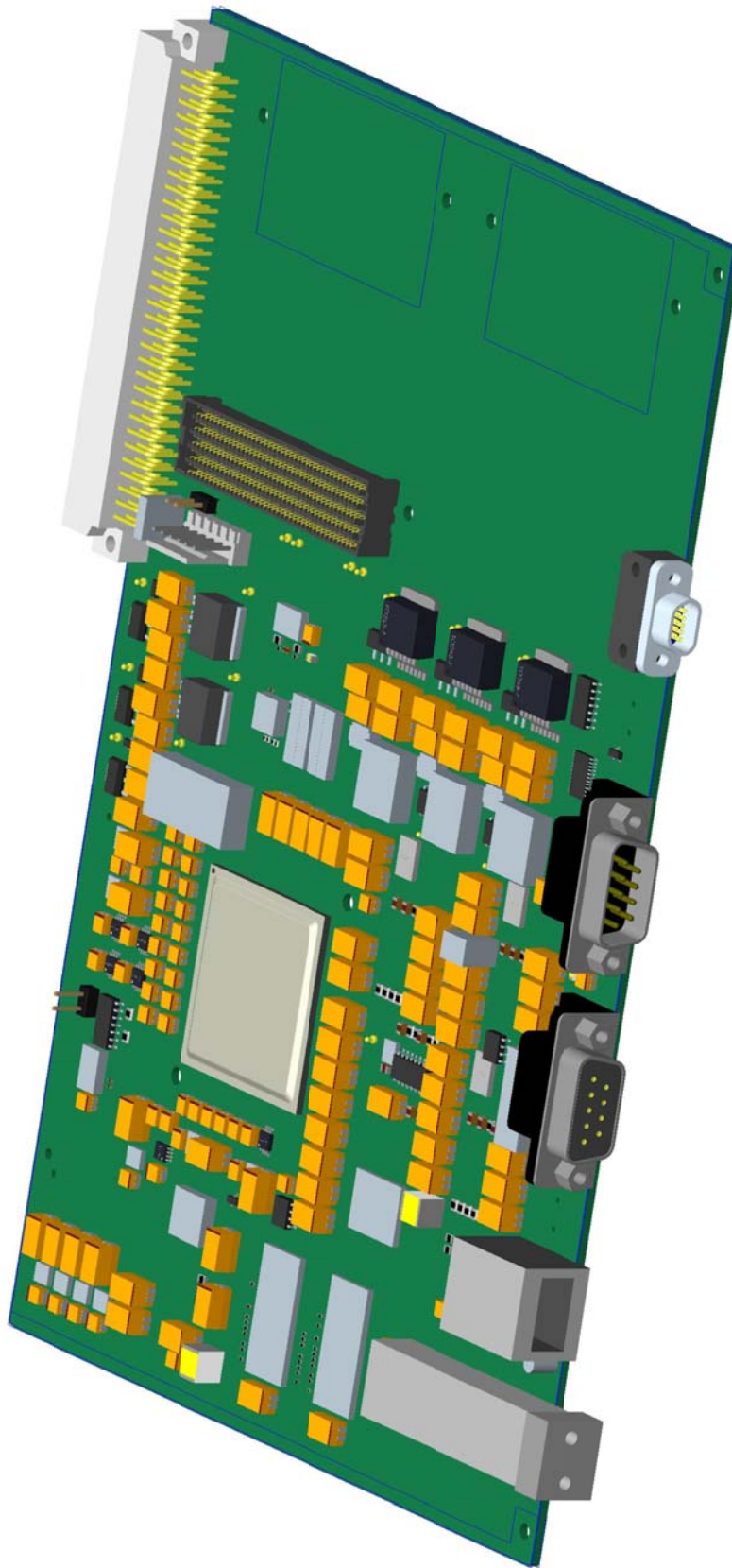
DESCRIPTION	Drawing Number	DATE		
		INIT.		
		APP.		
		APP_PA		
		ISSUE		
S	DRAWN	B. van Weerd		
	SHEET	SS	OF	PP
	A3		FAST PROTOTYPING	

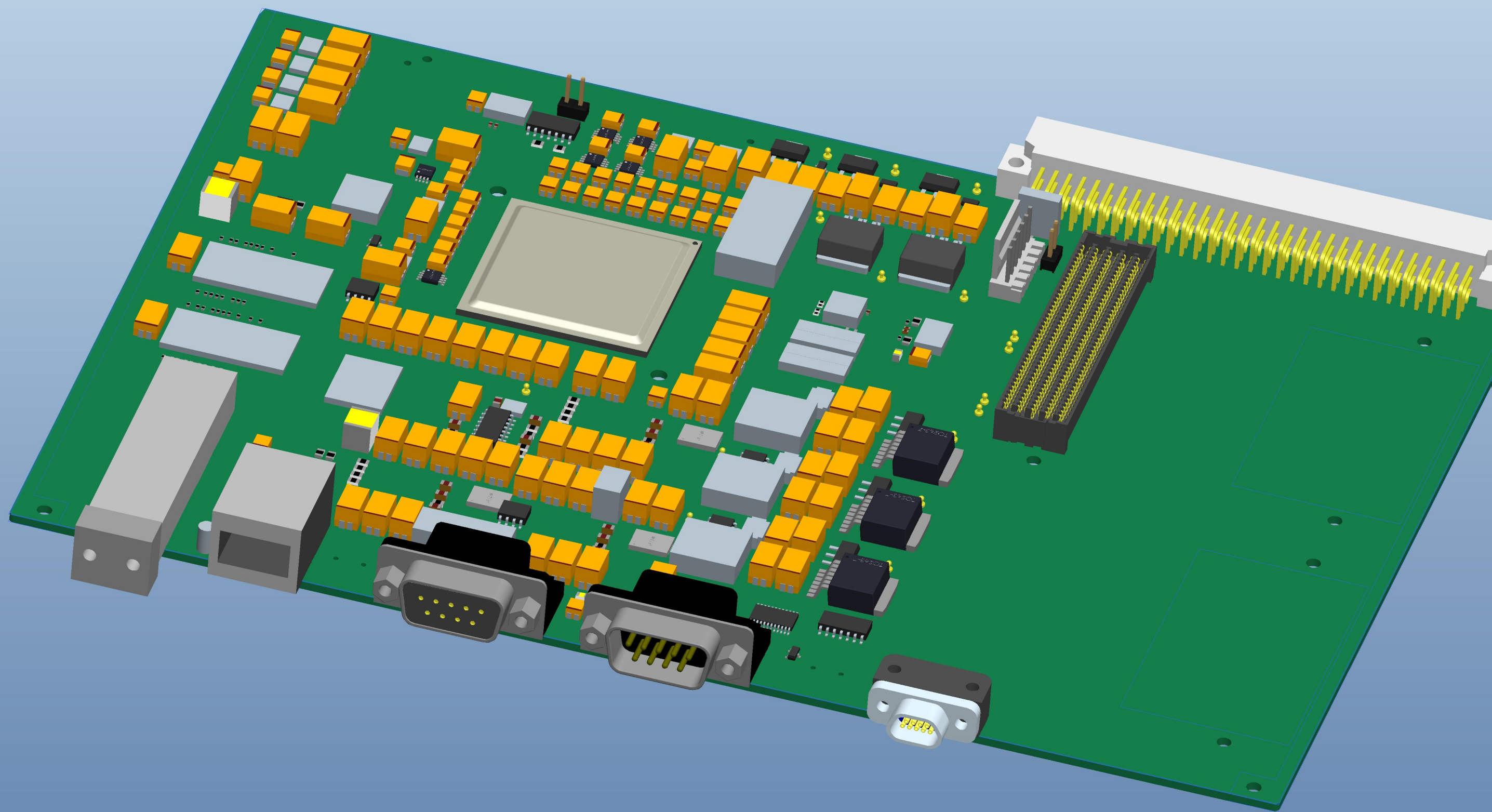


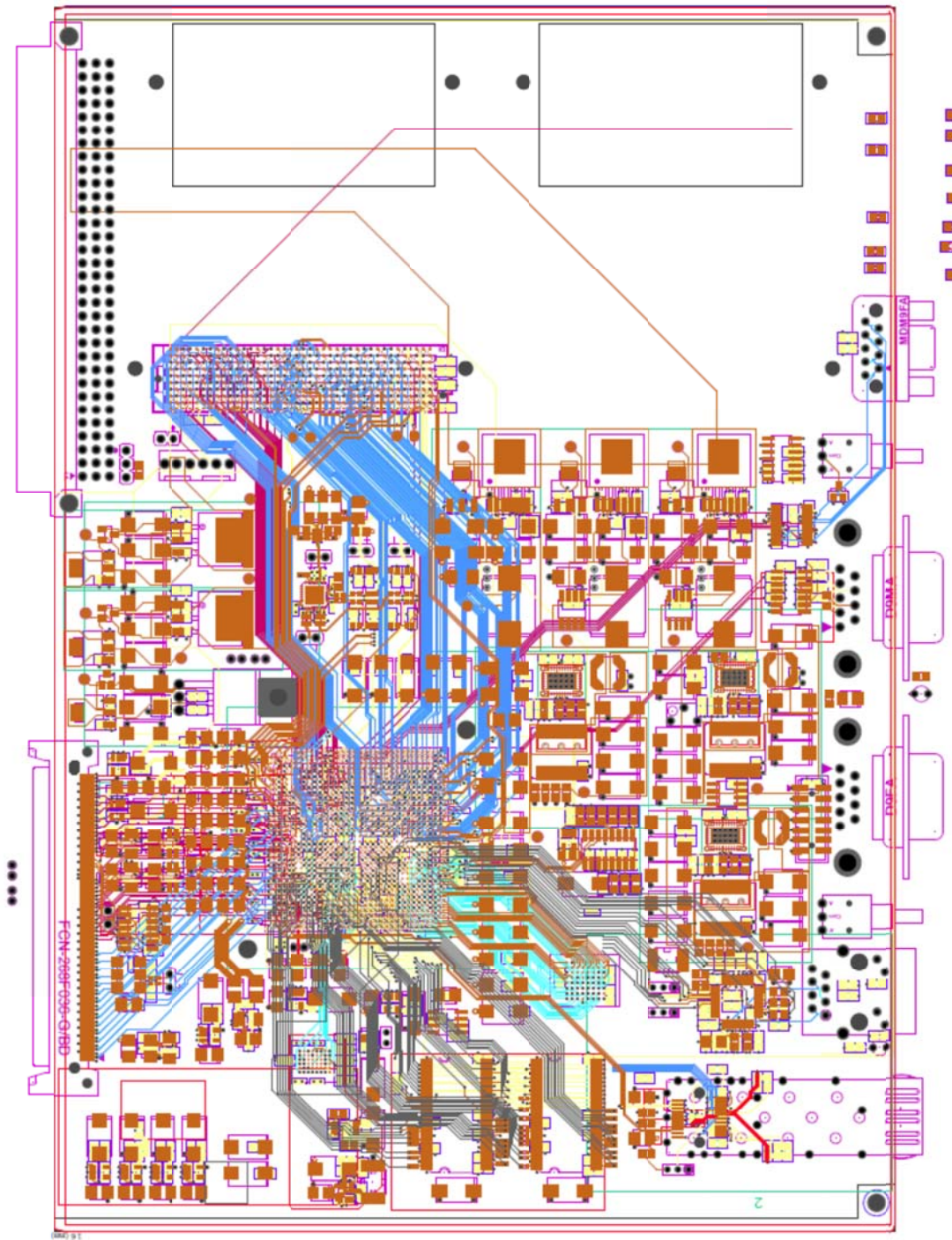
DESCRIPTION		Drawing Number		DATE	INIT.
ETHERNET		536-N-1100		APP.	
S		DRAWN B. van Weerd		APP_PA	
		SHEET SS OF PP		ISSUE	
		A3		FAST PROTOTYPING	



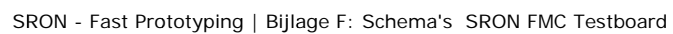
Bijlage E: Lay-out "Fast Prototyping"-board



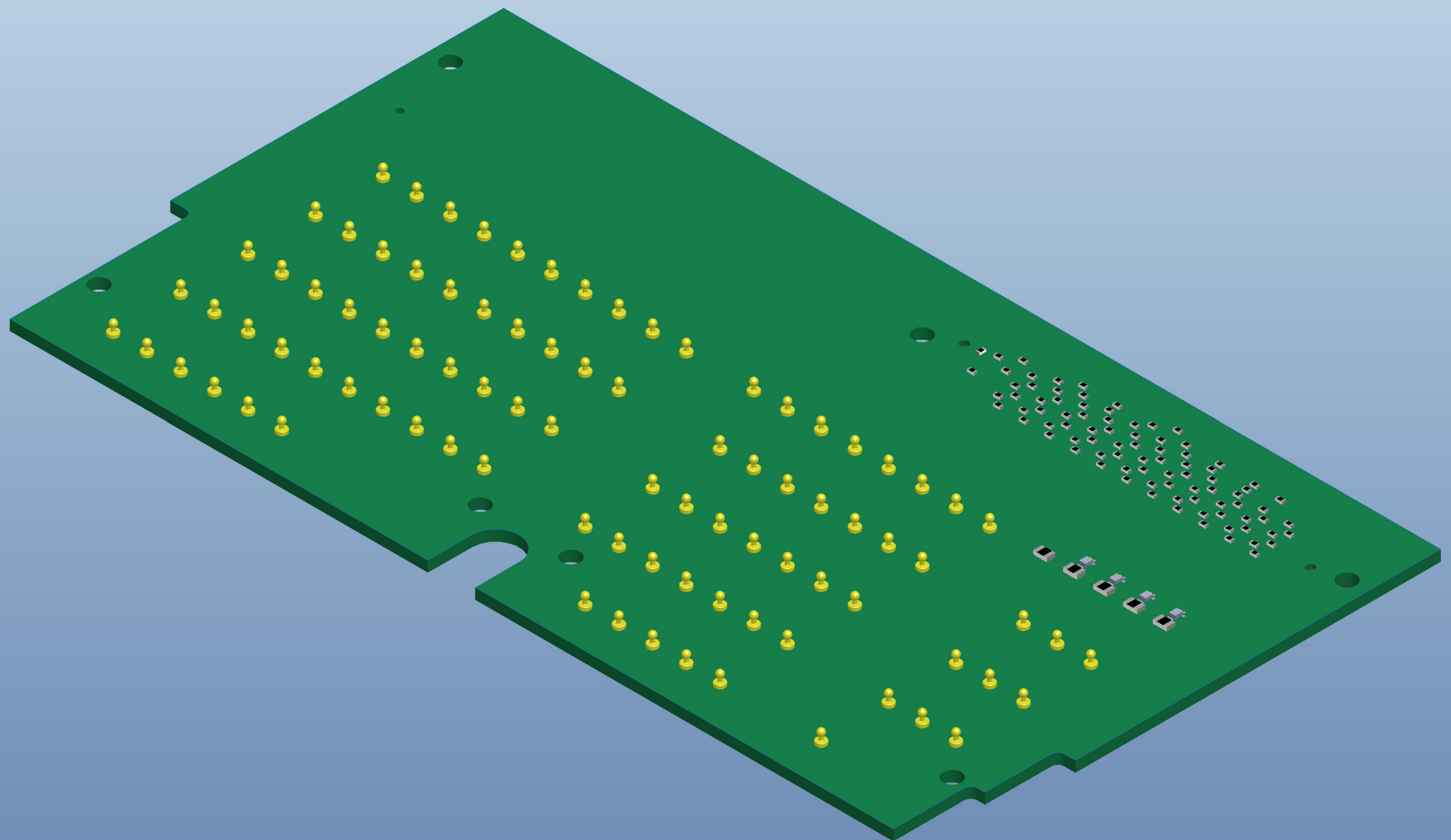


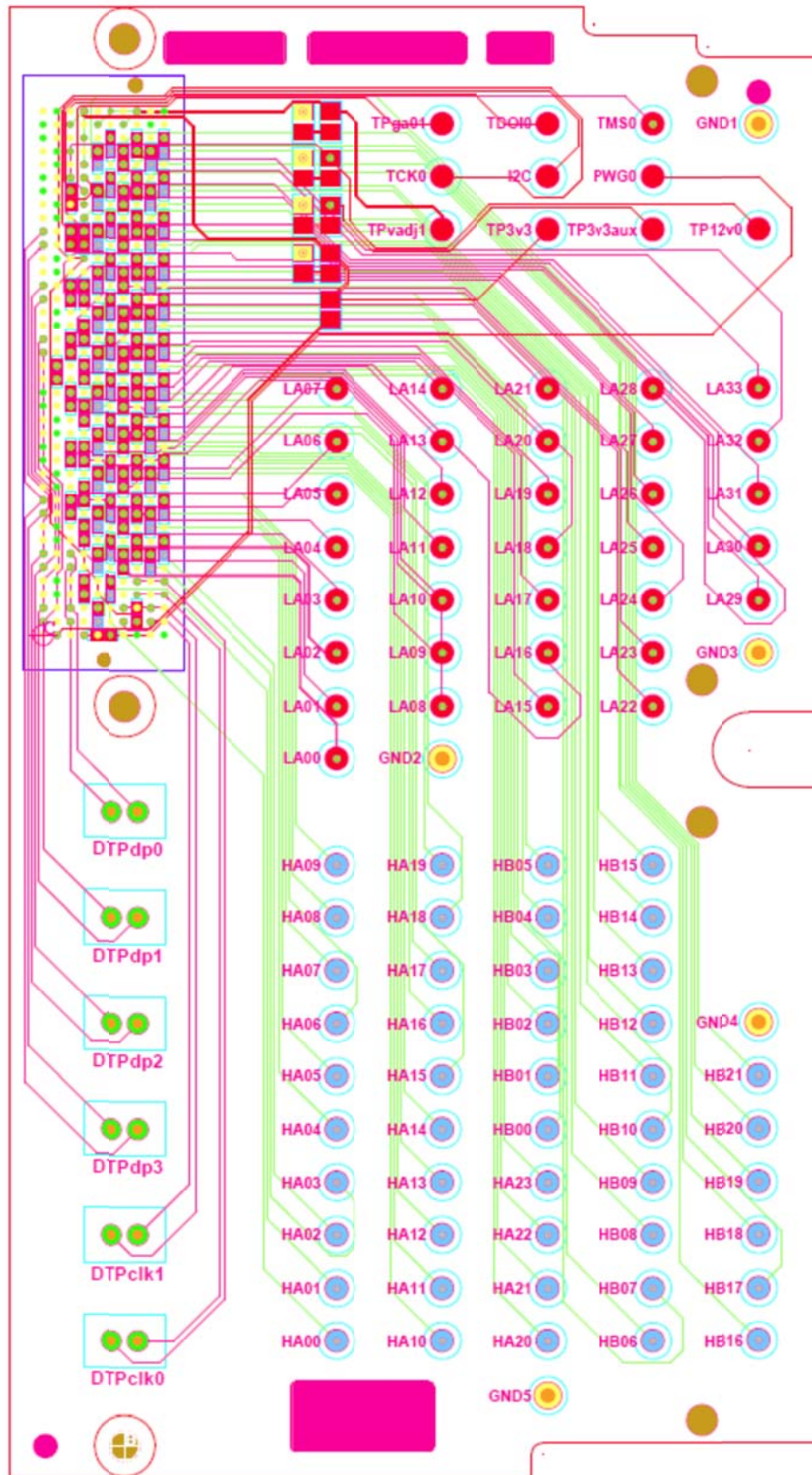


Bijlage F: Schema's SRON FMC Testboard



Bijlage G: Lay-out SRON FMC Testboard





Bijlage H: ANSI FMC standaard

De "ANSI/VITA 57.1 FPGA Mezzanine Card (FMC) Standard" is onderhevig aan copyright. Het is daarom niet toegestaan om de volledige standaard als bijlage bij dit verslag te voegen. In sectie 107 van de (US-) copyright wet waaronder het ANSI/VITA document valt worden uitzonderingen toegestaan voor clarificatie van een technisch verslag en/of een verslag voor een onderwijsinstelling. Deze bijlage bevat daarom enkele passages uit het originele document ter ondersteuning van dit verslag.

SRON is in het bezit van het volledige document.

Mechanische lay-out van een enkelvoudige modulekaart

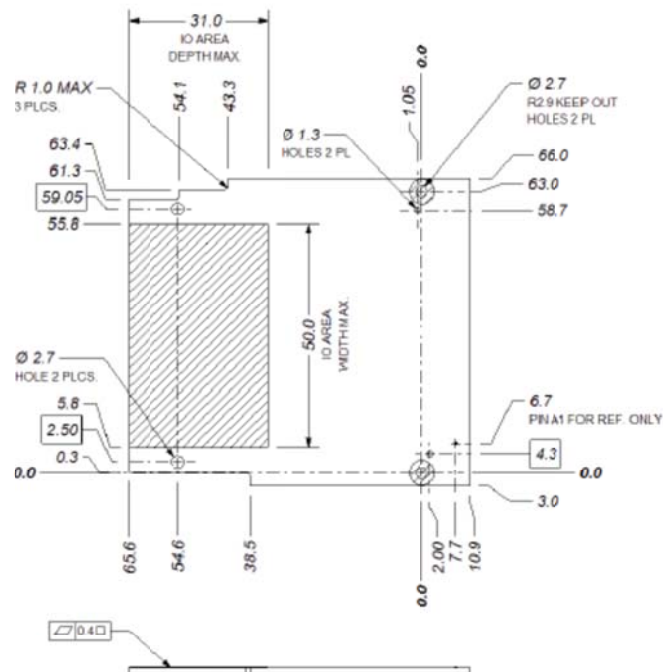


Figure 5. Single Width Commercial Grade FMC Module Mechanical

Mechanische lay-out van een dubbele modulekaart

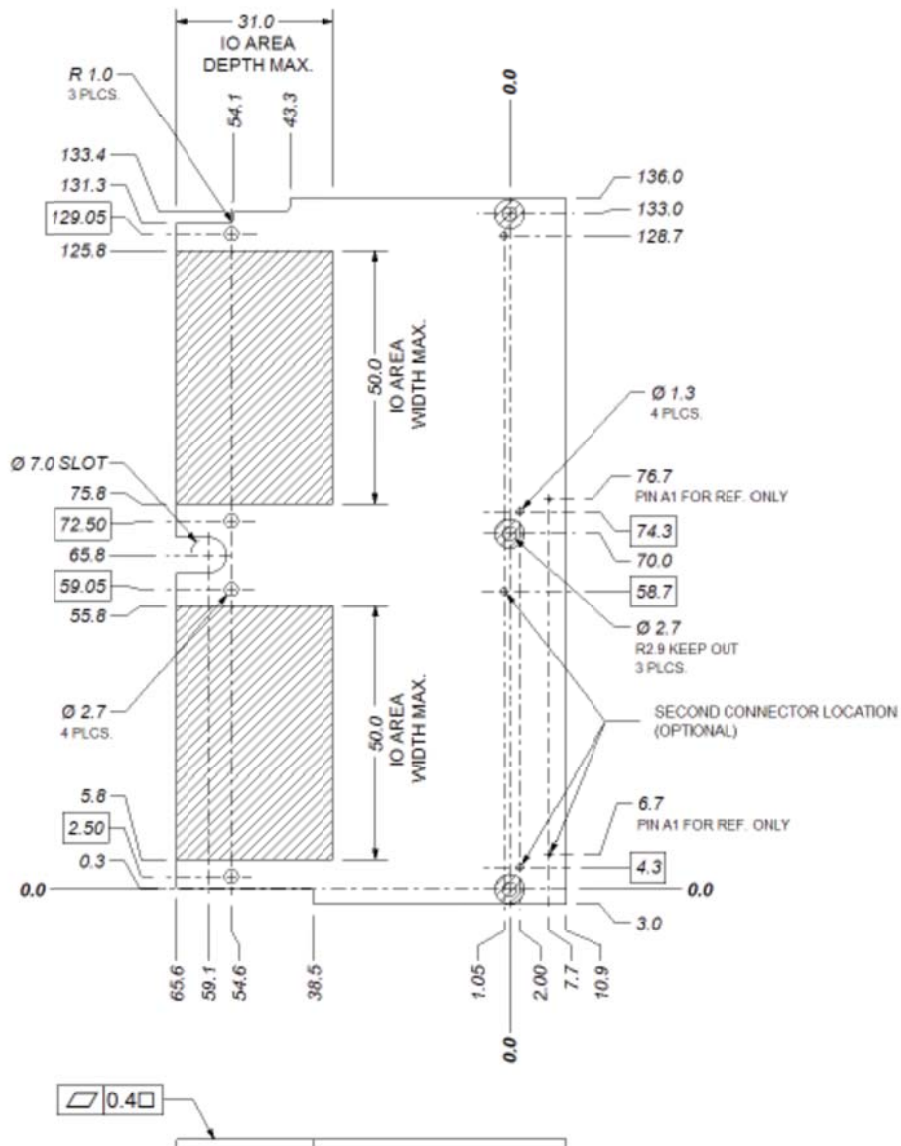


Figure 6. Double Width Commercial Grade FMC Module Mechanical

3D illustratie van een dubbele modulekaart met één connector

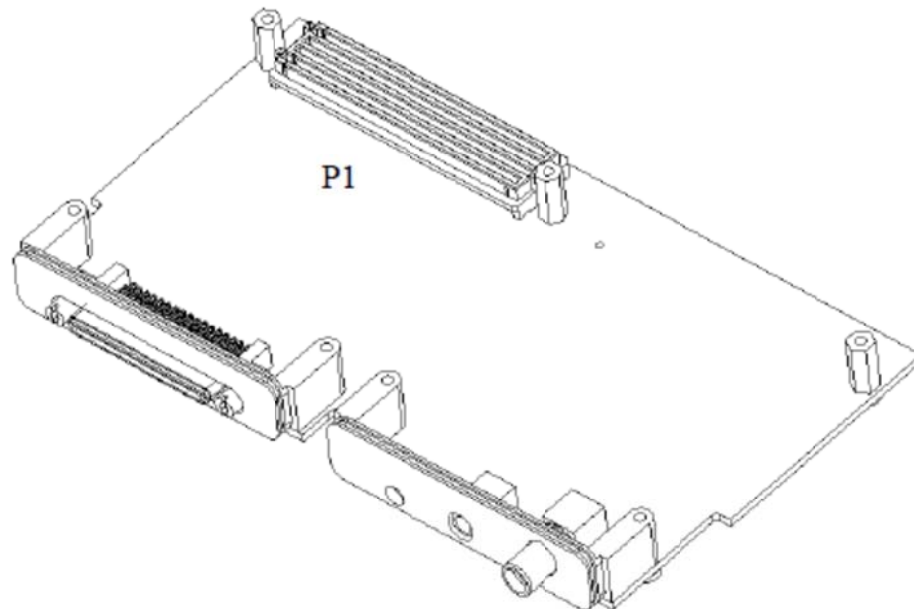


Figure 7. Double width with only primary connector, P1

Hoogtelimieten van de modulekaart

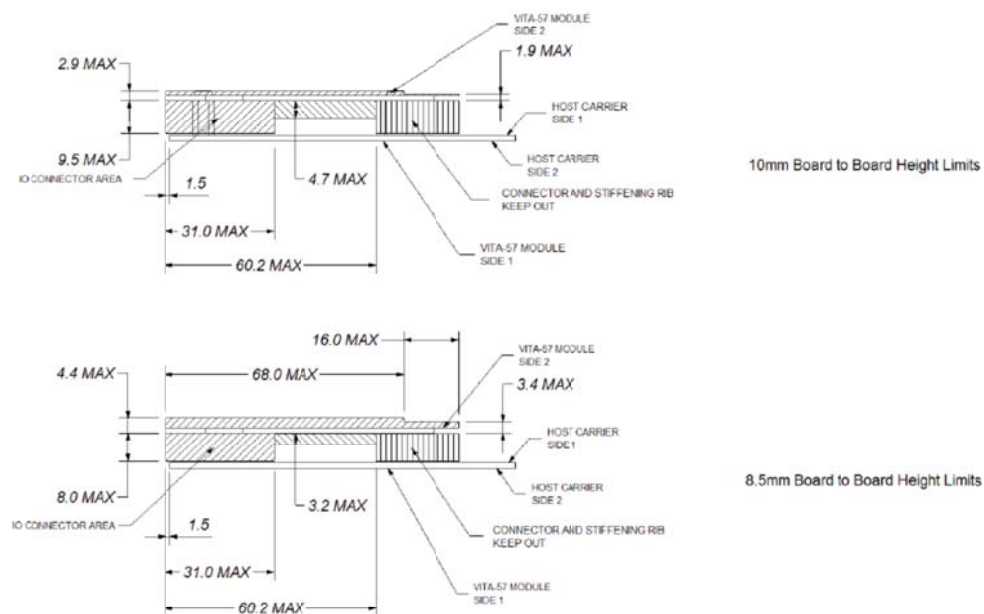


Figure 9. Board to board height limits: 10mm and 8.5mm heights

Connector pin aansluitingen

	K	J	H	G	F	E	D	C	B	A
1	VREF_B M2C	GND	VREF_A M2C	GND	PG M2C	GND	PG C2M	GND	CLK DIR	GND
2	GND	CLK3 BIDIR_P	PRSNTR M2C L	CLK1 M2C P	GND	HA01 P CC	GND	DP0 C2M P	GND	DP1 M2C P
3	GND	CLK3 BIDIR_N	GND	CLK1 M2C N	GND	HA01 N CC	GND	DP0 C2M N	GND	DP1 M2C N
4	CLK2 BIDIR_P	GND	CLK0 M2C P	GND	HA00 P CC	GND	setda_io_msc_p	GND	DP9 M2C P	GND
5	CLK2 BIDIR_N	GND	CLK0 M2C N	GND	HA00 N CC	GND	setda_io_msc_n	GND	DP9 M2C N	GND
6	GND	HA03 P	GND	LA00 P CC	GND	HA05 P	GND	DP0 M2C P	GND	DP2 M2C P
7	HA02 P	HA03 N	LA02 P	LA00 N CC	HA04 P	HA05 N	GND	DP0 M2C N	GND	DP2 M2C N
8	HA02 N	GND	LA02 N	GND	HA04 N	GND	LA01 P CC	GND	DP8 M2C P	GND
9	GND	HA07 P	GND	LA03 P	GND	HA09 P	LA01 N CC	GND	DP8 M2C N	GND
10	HA08 P	HA07 N	LA04 P	LA03 N	HA08 P	HA09 N	GND	LA08 P	GND	DP3 M2C P
11	HA08 N	GND	LA04 N	LA08 P	HA08 N	GND	LA05 P	LA08 N	GND	DP3 M2C N
12	GND	HA11 P	GND	LA08 P	GND	HA13 P	LA05 N	GND	GND	GND
13	HA10 P	HA11 N	LA07 P	LA08 N	HA12 P	HA13 N	GND	GND	DP7 M2C P	GND
14	HA10 N	GND	LA07 N	GND	HA12 N	HA13 N	GND	LA10 P	DP7 M2C N	GND
15	GND	HA14 P	GND	LA12 P	GND	HA16 P	LA09 P	LA10 N	GND	DP4 M2C P
16	HA17 P CC	HA14 N	LA11 P	LA12 N	HA15 P	HA16 N	GND	GND	DP6 M2C P	GND
17	HA17 N CC	GND	LA11 N	GND	HA15 N	GND	LA13 P	GND	DP6 M2C N	GND
18	GND	HA18 P	GND	LA16 P	GND	HA20 P	LA13 N	LA14 P	GND	GND
19	HA21 P	HA18 N	LA15 P	LA16 N	HA19 P	HA20 N	GND	LA14 N	GND	DP5 M2C P
20	HA21 N	GND	LA15 N	GND	HA19 N	GND	LA17 P CC	GND	setda_io_msc_p	GND
21	GND	HA22 P	GND	LA20 P	GND	HB03 P	LA17 N CC	GND	setda_io_msc_n	GND
22	HA23 P	HA22 N	LA19 P	LA20 N	HB02 P	HB03 N	GND	LA18 P CC	GND	DP1 C2M P
23	HA23 N	GND	LA19 N	GND	HB02 N	GND	LA23 P	LA18 N CC	GND	DP1 C2M N
24	GND	HB01 P	GND	LA22 P	GND	HB05 P	LA23 N	GND	DP9 C2M P	GND
25	HB00 P CC	HB01 N	LA21 P	LA22 N	HB04 P	HB05 N	GND	GND	DP9 C2M N	GND
26	HB00 N CC	GND	LA21 N	GND	HB04 N	GND	LA26 P	LA27 P	GND	DP2 C2M P
27	GND	HB07 P	GND	LA25 P	GND	HB09 P	LA26 N	LA27 N	GND	DP2 C2M N
28	HB08 P CC	HB07 N	LA24 P	LA25 N	HB08 P	HB09 N	GND	GND	DP8 C2M P	GND
29	HB08 N CC	GND	LA24 N	GND	HB08 N	GND	TCK	GND	DP8 C2M N	GND
30	GND	HB11 P	GND	LA29 P	GND	HB13 P	TDI	SCL	GND	DP3 C2M P
31	HB10 P	HB11 N	LA28 P	LA29 N	HB12 P	HB13 N	TDO	SDA	GND	DP3 C2M N
32	HB10 N	GND	LA28 N	GND	HB12 N	GND	3P3VAUX	GND	DP7 C2M P	GND
33	GND	HB15 P	GND	LA31 P	GND	HB19 P	TMS	GND	DP7 C2M N	GND
34	HB14 P	HB15 N	LA30 P	LA31 N	HB16 P	HB19 N	TRST L	GA0	GND	DP4 C2M P
35	HB14 N	GND	LA30 N	GND	HB16 N	GND	GA1	12P0V	GND	DP4 C2M N
36	GND	HB18 P	GND	LA33 P	GND	HB21 P	3P3V	GND	DP6 C2M P	GND
37	HB17 P CC	HB18 N	LA32 P	LA33 N	HB20 P	HB21 N	GND	12P0V	DP6 C2M N	GND
38	HB17 N CC	GND	LA32 N	GND	HB20 N	GND	3P3V	GND	GND	DP5 C2M P
39	GND	VIO_B M2C	GND	VA03	GND	VA03	GND	3P3V	GND	DP5 C2M N
40	VIO_B M2C	GND	VA03	GND	VA03	GND	3P3V	GND	RES0	GND
			LPC Connector	LPC Connector	LPC Connector	LPC Connector	LPC Connector	LPC Connector		

Bijlage I: Board Level Test document

Contents

Contents	132
1 Introduction	134
1.1 Board interface description	134
1.1.1 Face plate interfaces	134
1.1.2 FMC-standard interfaces	134
1.1.3 Backplane interfaces	134
1.2 Board block diagram	135
1.3 Document contents and limits	136
1.4 Document icons	136
2 Board connection and header specifications	137
2.2 Jumpers	137
2.3 Indication LED's	137
2.4 Connectors	137
2.5 Switches and Pushbuttons	137
2.6 Test points	138
3 Specifications	139
3.1 Input voltage specifications	139
3.2 Input current specifications	139
3.3 Board power specifications	139
3.4 Sisterboard power specifications	140
4 Test sequence and results	141
4.1 Board Assembly instructions	141
4.2 Visual Inspection	141
4.3 Power circuits power up	142
4.3.1 Measuring values	143
4.3.2 To do before continuing	143
4.4 Full board power up	144
4.4.1 Measuring values	145
4.5 Firmware load	145
4.6 IO Test	146
4.6.1 JTAG (Faceplate / Motherboard)	146
4.6.2 LEDs (Faceplate)	147
4.6.3 RS422 (Faceplate)	147
4.6.4 Ethernet (Faceplate)	147
4.6.5 Optical Ethernet (Faceplate)	147
4.6.6 SpaceWire (Faceplate)	148
4.6.7 IO FMC (Sisterboard)	148
4.6.8 GBT FMC (Sisterboard)	148
4.6.9 JTAG (Sisterboard)	148
4.6.10 RS485 (Backplane)	150
4.6.11 JTAG (Backplane)	150
4.6.12 IO Backplane (Backplane)	150
4.6.13 GBT Backplane (Backplane)	150

5	List of modifications	151
6	List of design updates for future models	152

Introduction

The "Fast Prototyping"-board is developed to create a unique multifunctional platform for testing purposes within SRON. This board contains all kind of digital interfaces to simplify the development of prototypes. The board is compatible with the FPGA Mezzanine Card (FMC)-standard, to enable easy and multifunctional access to the FPGA's IO.

The "Fast Prototyping"-Board is driven by a Xilinx Virtex-5 FF1136 50SXT FPGA at 100MHz, contains 1024MB RAM and 256MB ROM.

Board interface description

The "Fast Prototyping"-Board offers the ability to connect to the outside world through several face plate interfaces, a FMC-standard connector and a backplane interface.

Face plate interfaces

- RS422
- JTAG
- 10/100 Mbit Ethernet
- Optical GB Ethernet
- SpaceWire

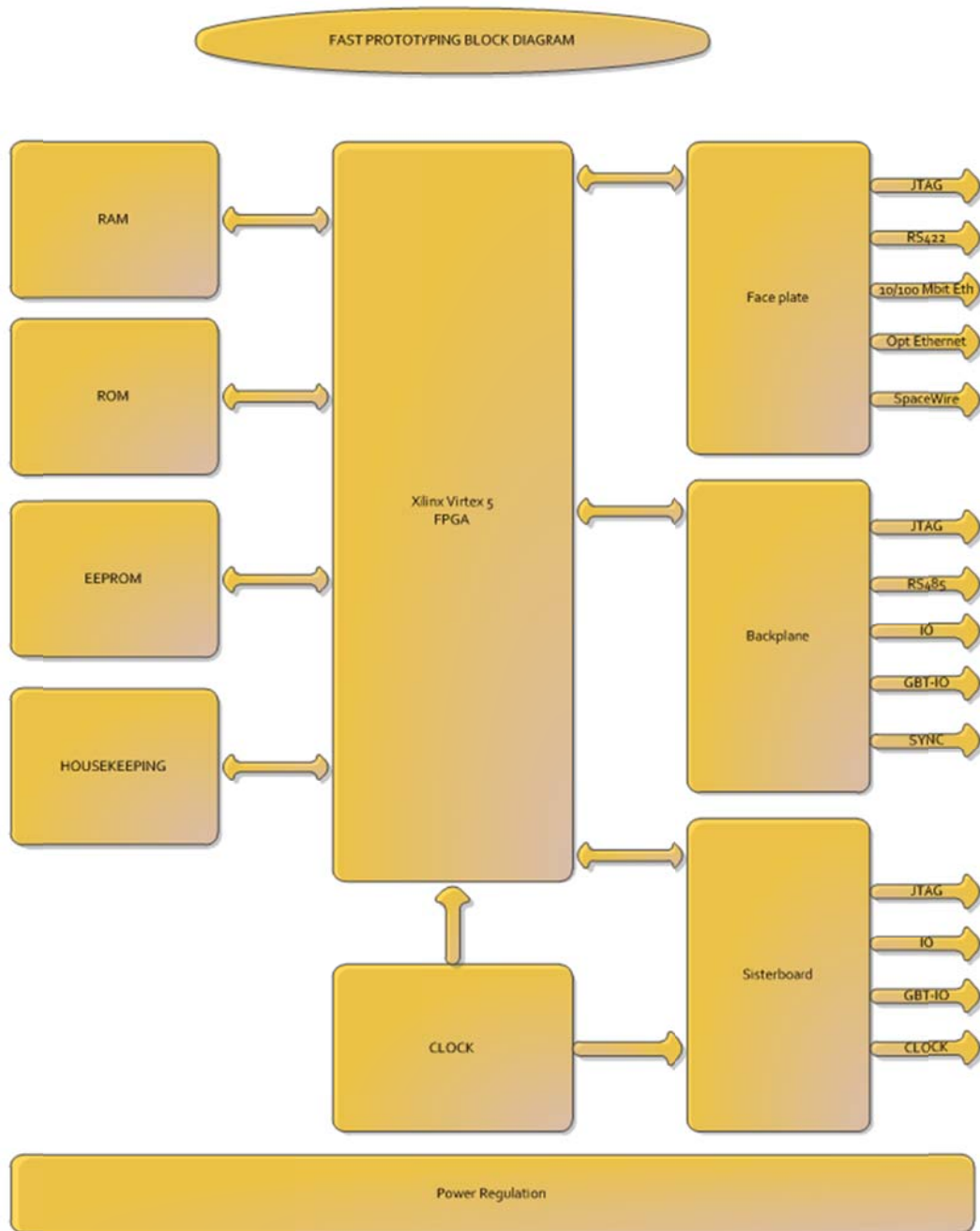
FMC-standard interfaces

- JTAG
- IO (80 differential pairs)
- GBT-IO (4 send and receive pairs)
- Clocks (2 sisterboard to motherboard, 2 bidirectional)

Backplane interfaces

- JTAG
- RS485
- IO (8 differential pairs)
- GBT-IO (7 send and receive pairs)
- Sync (1 line)
- Power supply (unregulated according to specifications)

Board block diagram



Document contents and limits

This document contains the following parts:

- **Board connections and headers**
- **Specifications**
- **Test sequence and results**
- **List of modifications**
- **List of design updates for future models**

This document only describes the hardware tests of the board. Most of the interfaces of this board cannot be tested without the FPGA and firmware.

Document icons

If an interface cannot be tested without FPGA firmware, it will be noted in the document with the following icon:



Some things may be very important to read or do before continuing with the document. These important notes are marked with the



following icon:

When an all clear is given according to the description, tests can be continued. These "all clear"-notes are marked with the following icon:



Board connection and header specifications

This chapter describes all jumpers, LED's, connectors and test points on the Motherboard. The test sequence will refer to these parts when suggesting where to measure the expected values. In paragraph 2.1, the layout of the board is given with the locations of all these components.

Jumpers

Parameter	Explanation	Default	Placed
JMP301	Termination RS485	-	
JMP1	LVTTL/LVDS Power bank 21	1-2 (LVDS)	
JMP2	LVTTL/LVDS Power bank 20	1-2 (LVDS)	
JMP3	LVTTL/LVDS Power bank 12	1-2 (LVDS)	
JMP4	LVTTL/LVDS Power bank 18	1-2 (LVDS)	
JMP901	RATE_SELECT Optical Ethernet	-	

Indication LED's

Parameter	Explanation	Colour
D1004	1V0 Power Good	Green
D1005	2V5 Power Good	Green
D1006	3V3ADJ Power Good	Green
D1007	5V0dig1	Green
D1008	5V0dig2	Green
D1009	3V3dig	Green
D1010	5V0an	Green
D1011	+12V0an	Green
D1012	-12V0an	Green
D1016	3V3ADJ NOT allowed	Red
D801	Board powered up (Faceplate)	Green
D802	Failure indication (Faceplate)	Red
D803	Status indication (Faceplate)	Yellow
D001	Overvoltage detected	Red
D002	Programming complete	Green
D1	10/100 Mbit Ethernet Speed	

Connectors

Parameter	Explanation
J701	FAN connector
J1001	Connect DGND to AGND when using FMC sisterboard 12V0 Analog supply
J1002	Analog connector with 5V0, 12V0 and -12V0
J1301	FMC sisterboard connector

Switches and Pushbuttons

Parameter	Explanation
SW701	Power on Reset
SW001	Reboot

Test points

Parameter	Explanation
TP1001	3V3dig
TP1002	1V0dig
TP1003	5V0dig1
TP1004	2V5dig
TP1005	5V0dig2
TP1006	3V3ADJ
TP1007	5V0an
TP1008	+12V0an
TP1009	-12V0an
TP1010	5V0 in 1
TP1011	5V0 in 2
TP1012	5V0 in 3
TP1013	+20V0p2 in
TP1014	+20V0 in
TP1015	-20V0 in
TP1016	3V3ADJ
TP1301	GBTCLK0_M2C_N
TP1302	GBTCLK0_M2C_P
TP1303	GBTCLK1_M2C_N
TP1304	GBTCLK1_M2C_P
DTP201	100MHz Clock
DTP202	FPGA 100 MHz Clock
DTP203	SB_CLK2 100 MHz Clock
DTP204	SB_CLK3 100 MHz Clock
DTP205	SB_CLK2 Clock Source
DTP206	SB_CLK3 Clock Source
DTP207	GBT 250 MHz Clock
TP001	MGTREFCLK_114_N
TP002	MGTREFCLK_114_P
TP003	MGTREFCLK_116_N
TP004	MGTREFCLK_116_P
TP005	MGTREFCLK_118_N
TP006	MGTREFCLK_118_P
TP007	MGTREFCLK_120_N
TP008	MGTREFCLK_120_P
TP009	MGTREFCLK_122_N
TP010	MGTREFCLK_122_P

Specifications

This chapter describes the *calculated* specifications of the "Fast Prototyping"-Board. During the test sequence these values may differ, and may be corrected later.

Input voltage specifications

Parameter	Conditions	Min	Typ	Max	Units	Verified
Digital Input Voltage		5.2	5.7	35	V	
Positive 5V Analog Input Voltage	(T=20°C)	8.2	8.7	35	V	
Positive 12V Analog Input Voltage	(T=20°C)	15.2	16	35	V	
Negative 12V Analog Input Voltage	(T=20°C)	-15.2	-16	-35	V	

Input current specifications

Parameter	Conditions	Min	Typ	Max	Units	Verified
Digital Input Current	5.7V input voltage			16	A	
	35V input voltage			2.5	A	
Positive 5V An. Input Current	(T=20°C)			1.5	A	
Positive 12V An. Input Current	(T=20°C)			1.5	A	
Negative 12V An. Input Current	(T=20°C)			1.5	A	

Board power specifications

Parameter	Conditions	Min	Typ	Max	Units	Verified
1V0		1.0	1.0	1.0	V	
				8	A	
2V5		2.5	2.5	2.5	V	
				8	A	
3V3		3.3	3.3	3.3	V	
				5	A	
5V0		5.0	5.0	5.0	V	
				5	A	

Sisterboard power specifications

Parameter	Conditions	Min	Typ	Max	Units	Verified
3V3 (FMC standard)		3.15	3.3	3.45 3	V A	
3V3AUX (FMC standard)		3.15	3.3	3.45 0.020	V A	
3V3ADJ (FMC standard)		0.8	-	3.3 4.0	V A	
12V0 (FMC standard)		11.4	12	12.6 1.0	V A	
5V0 (auxiliary connector)		4.95	5.0	5.05 1.5	V A	
12V0 (auxiliary connector)		11.8	12	12.2 1.5	V A	
-12V0 (auxiliary connector)		-11.8	-12	-12.2 1.5	V A	

The current of the analog voltages 5V0, 12V0 and -12V0 depend on the heat dissipation of the regulators to the board. These maximum values can be calculated when the board layout is available.

Test sequence and results

This chapter describes the test sequence for the Board Level Test (BLT). This test sequence starts even before assembly, by explicitly *not* placing certain components. See paragraph 0 for these assembly instructions.

The test sequence is chronologically ordered.



Please follow all instructions marked with the warning-icon to prevent severe damage to the board.

Board Assembly instructions

Do not place certain components before the BLT:

- R1053
- R1052
- R1066 - R1071
- U1008
- U1007

Visual Inspection

Visual inspection will be done by making high resolution pictures, and check these for:

- orientation of active and polar passive parts
- values of passive components as far as marked
- types of active parts as far as marked
- tomb stoning
- shorts between parts/traces

Note: All components mentioned in paragraph 0 must not be placed until further notice.

For the visual inspection the "Automated Optical Inspection" can be used.

Parameter	Expected value	Result	Passed	Failed
Visual Inspection				



Mark all errors in the list of modifications in chapter 0, and fix all errors before continuing!

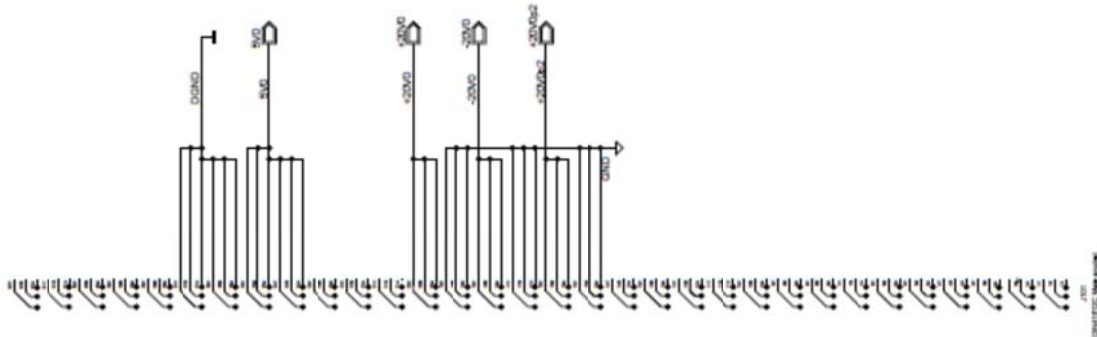
Power circuits power up



Please use a current-limited supply for testing.

Pre-assemble a power connector to place on the backplane connector, and use this connector for all coming tests.

This connector must be assembled to match the connector on the "Fast Prototyping"-Board. The figure below is a copy of the schematic.



Power up the circuits one by one, and check all values before continuing with the next power supply. Check the specifications in this document for the minimum voltage and current requirements.

Please use the following power-up sequence:


- 5V0 digital supply
- +20V0 analog supply
- -20V0 analog supply
- +20V0p2 analog supply


Measuring values (1)

Parameter	Expected value	Result	Passed	Failed
Power-up 5V0 supply				
TP1010	Power supply minus +/-0.7V			
TP1001	3.3V			
TP1011	Power supply minus +/-0.7V			
TP1003	5.0V			
D1008	Green Light			
TP1012	Power supply minus +/-0.7V			
TP1005	5.0V			
Power-up +20V0 supply				
D1011	Green Light			
TP1014	Power supply minus +/-0.7V			
TP1008	12.0V			
Power-up -20V0 supply				
D1012	Green Light			
TP1015	Power supply minus +/-0.7V			
TP1009	-12.0V			
Power-up +20V0p2 supply				
D1010	Green Light			
TP1013	Power supply minus +/-0.7V			
TP1007	5.0V			

 **No other LED's must be lit!**

To do before continuing

 **Do not continue when any test failed in paragraph 0!**

 If all tests in paragraph 0 are successful, assemble the following parts:

- U1008

Measuring values (2)

Parameter	Expected value	Result	Passed	Failed
TP1002	1.0V			
D1004	Green Light			
TP1004	2.5V			
D1005	Green Light			



Do not continue when any test failed in paragraph 0!



If all tests in paragraph 0 are successful, assemble the following parts:

- R1052
- R1053
- R1066 - R1071
- U1007

Full board power up



Please use a current-limited supply for testing!

Power-up the complete board. Measure all points and be sure no abnormal power is used.

Measuring values

Parameter	Expected value	Result	Passed	Failed
TP1010	Power supply minus +/-0.7V			
TP1001	3.3V			
TP1011	Power supply minus +/-0.7V			
TP1003	5.0V			
D1008	Green Light			
TP1012	Power supply minus +/-0.7V			
TP1005	5.0V			
D1011	Green Light			
TP1014	Power supply minus +/-0.7V			
TP1008	12.0V			
D1012	Green Light			
TP1015	Power supply minus +/-0.7V			
TP1009	-12.0V			
D1010	Green Light			
TP1013	Power supply minus +/-0.7V			
TP1007	5.0V			
TP1002	1.0V			
D1004	Green Light			
TP1004	2.5V			
D1005	Green Light			



Do not continue when any test failed in paragraph 0!

Power supply stability

Power supply stability can be an issue in future use. Please provide stability diagrams from an oscilloscope of the following measuring points:

- TP1002
- TP1004
- TP1007
- TP1008
- TP1009

Firmware load

For all test further in the test sequence, firmware has to be loaded in the FPGA. All firmware tests will not be described in this document. Also the RAM and ROM will be tested by loading the firmware.

Parameter	Expected value	Result	Passed	Failed
FPGA				
RAM				
ROM				

Clock

Check clock values, and please provide stability diagrams from an oscilloscope of the following measuring points:

- DTP201
- DTP204
- DTP207

Parameter	Expected value	Result	Passed	Failed
DTP201	100MHz Clock			
DTP202	100MHz Clock			
DTP207	250MHz Clock			

IO Test

All IO tests are dependent on firmware. Firmware must be written to check all these features. A FMC Module for testing purposes can be used to check all sisterboard interfaces. Backplane interfaces cannot be tested without a backplane, which is not available at this time.

JTAG (Faceplate / Motherboard)



Firmware needs to be loaded to test this interface.

This interface will be tested during the first Firmware load. Please specify the result.

Parameter	Expected value	Result	Passed	Failed
JTAG Faceplate				
JTAG Motherboard				

LEDs (Faceplate)



Firmware needs to be loaded to test this interface.

Firmware needs to control the Failure and Status-LED to check their function.

Parameter	Expected value	Result	Passed	Failed
Status LED				
Failure LED				

RS422 (Faceplate)



Firmware needs to be loaded to test this interface.

This interface is used for output on other tests like the sisterboard IO test.

Parameter	Expected value	Result	Passed	Failed
RS422				

Ethernet (Faceplate)



Firmware needs to be loaded to test this interface.

Parameter	Expected value	Result	Passed	Failed
Ethernet				

Optical Ethernet (Faceplate)



Firmware needs to be loaded to test this interface.

Parameter	Expected value	Result	Passed	Failed
Optical Ethernet				

SpaceWire (Faceplate)



Firmware needs to be loaded to test this interface.

Parameter	Expected value	Result	Passed	Failed
SpaceWire				

IO FMC (Sisterboard)



Firmware needs to be loaded to test this interface.

The test sisterboard must be connected to test this interface, and the FPGA must do a selftest and output to RS422.

Parameter	Expected value	Result	Passed	Failed
IO FMC				

GBT FMC (Sisterboard)



Firmware needs to be loaded to test this interface.

The test sisterboard must be connected to test this interface, and the FPGA must do a selftest and output to RS422.

Parameter	Expected value	Result	Passed	Failed
GBT FMC				

JTAG (Sisterboard)



Firmware needs to be loaded to test this interface.

The test sisterboard must be connected to test this interface, and the FPGA must do a selftest and output to RS422.

Parameter	Expected value	Result	Passed	Failed
JTAG FMC				

Clock (Sisterboard)



Firmware needs to be loaded to test this interface.

The test sisterboard must be connected to test this interface, and the FPGA must do a selftest and output to RS422.

Please provide stability diagrams from an oscilloscope of the following measuring points:

- DTP202
- DTP203
- DTP205
- DTP206

Parameter	Expected value	Result	Passed	Failed
CLK2	100 MHz Clock			
CLK2	FPGA Clock			
CLK3	100 MHz Clock			
CLK3	FPGA Clock			

Housekeeping



Firmware needs to be loaded to test this interface.

The housekeeping can be checked with the EGSE software. The right values for the different power supply's must be defined once. Please use the EGSE software to calibrate the following measuring points:

Parameter	Expected value	Result	Passed	Failed
TP1001	3.3V			
TP1003	5.0V			
TP1004	2.5V			
TP1016	3V3ADJ			

RS485 (Backplane)



Firmware needs to be loaded to test this interface.

Cannot be tested without a backplane, which is not available at this time.

JTAG (Backplane)



Firmware needs to be loaded to test this interface.

Cannot be tested without a backplane, which is not available at this time.

IO Backplane (Backplane)



Firmware needs to be loaded to test this interface.

Cannot be tested without a backplane, which is not available at this time.

GBT Backplane (Backplane)



Firmware needs to be loaded to test this interface.

Cannot be tested without a backplane, which is not available at this time.

List of modifications

After each test where modifications had to be made to successfully complete the test, these modifications have to be noted in the list of modifications below.

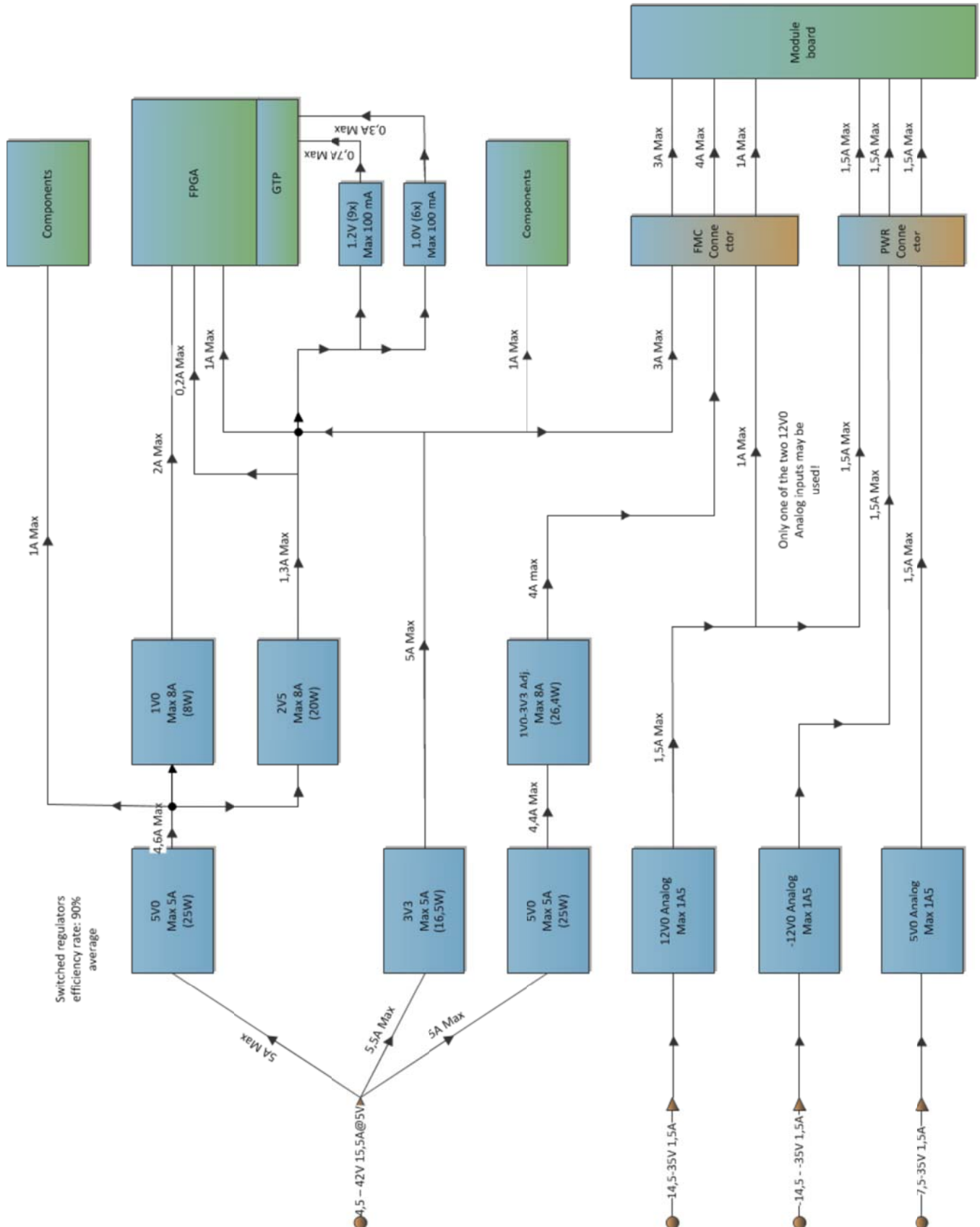
Part	Part No	Description of error and modification

List of design updates for future models

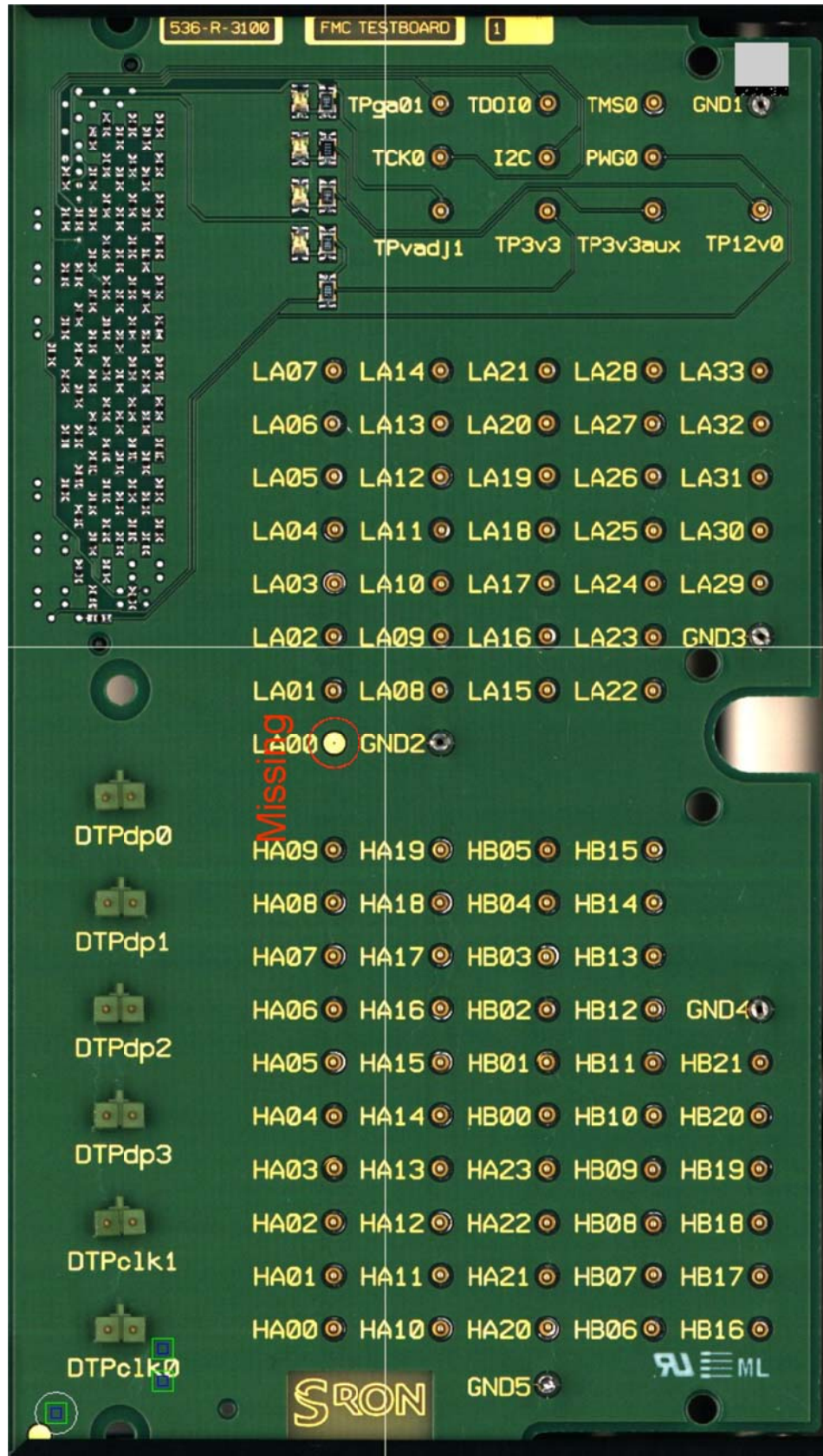
If any design issues have come up during the tests, which have to be corrected in a revision of the board, please note these below.

Part	Part No	Description of design update

Bijlage J: Blokschema voeding "Fast Prototyping"-board



Bijlage K: Automated Optical Inspection Report



Bijlage L: Schematisch overzicht "System Requirements"

